

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-094094

(43) Date of publication of application : 06.04.2001

(51) Int.Cl. H01L 29/78

H01L 21/8234

H01L 27/088

(21) Application number : 11-266668 (71) Applicant : HITACHI LTD

(22) Date of filing : 21.09.1999 (72) Inventor : HOSHINO YUTAKA

IKEDA SHUJI

YOSHIDA ISAO

KANBARA SHIRO

KAWAKAMI MEGUMI

MIYAKE TOMOYUKI

MORIKAWA MASATOSHI

(54) SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To realize fine patterning and reduction of ON resistance in an MOSFET for high frequency amplification having a drain offset region.

SOLUTION: Conductor plugs 13(P1) for leading out electrode are provided on a source region 10, a drain region 9 and a reach through layer 3(4). The conductor plugs 13(P1) are connected, respectively, with first layer interconnections 11s, 11d(M1) which are connected, on the conductor plugs 13(P1), with second layer interconnections 12s, 12d for lining.

LEGAL STATUS [Date of request for examination] 12.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor substrate of the 1st conductivity type, and the semi-conductor layer of the 1st conductivity type formed in the top face of the above-mentioned semi-conductor substrate, The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above in which it estranged mutually and was located across the field where a channel is formed in the principal plane of the above-mentioned semi-conductor layer part, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched at the section besides a principal plane of the above-mentioned semi-conductor layer, The above-mentioned above-mentioned gate electrode, 1st field [of the above], 2nd field [of the above], and reach through layer top The 1st insulator layer of a wrap, the 1st conductor connected to the high concentration field of the 1st field of the above, and the 2nd field of the above, and the above-mentioned reach through layer through opening prepared in the 1st insulator layer of the above, respectively -- a plug and the 2nd conductor -- a plug -- and with a plug the 3rd conductor the above -- the 1st conductor layer connected to a plug and the 3rd plug the 1st conductor, and the above -- the semiconductor device characterized by consisting of the 3rd conductor layer connected to the inferior surface of tongue of the 2nd conductor layer connected to the plug the 2nd conductor, and the above-mentioned semi-conductor substrate.

[Claim 2] In claim 1, the 2nd insulator layer is covered on the 1st conductor layer of the above, and the 2nd conductor layer of the above. It is located on a plug the 2nd conductor. the 2nd insulator layer of the above -- receiving -- the 1st conductor of the above -- a plug and the above -- The semiconductor device characterized by preparing the 1st opening and the 2nd opening to the 2nd insulator layer of the above, respectively, connecting the 1st wiring layer to the 1st conductor layer of the above through the 1st opening of the above, and connecting the 2nd wiring layer to the 2nd conductor layer of the above through the 2nd opening of the above.

[Claim 3] The semiconductor device characterized by connecting with the above-mentioned gate electrode in claim 1 through opening by which the plug was prepared in the 1st insulator layer of the above the 3rd conductor, and connecting the 4th conductor layer to the 3rd plug of the above.

[Claim 4] It is the semiconductor device characterized by the above 1st and for a plug consisting of a tungsten the 2nd conductor and the 1st and 2nd conductor layer of the above consisting of aluminium alloy in claim 1.

[Claim 5] It is the semiconductor device characterized by the 1st and 2nd conductor layer of the above consisting of an AlCu alloy in claim 4.

[Claim 6] claim 3 -- setting -- the above -- the semiconductor device characterized by for a plug consisting of a tungsten the 3rd conductor and the 4th conductor layer of the above consisting of aluminium alloy.

[Claim 7] It is the semiconductor device characterized by the 1st and 2nd conductor layer of the above consisting of an AlCu alloy in claim 6.

[Claim 8] It is the semiconductor device characterized by the 1st and 2nd wiring layer of the above consisting of aluminium alloy in

claim 2.

[Claim 9] It is the semiconductor device which a plug consists of W the 2nd conductor, and the 1st and 2nd conductor layer of the above consists of an AlCu alloy, and is characterized by being the above 1st and the electrode structure where the 3rd conductor layer of the above contains nickel, Ti, and Au in contact with the inferior surface of tongue of the above-mentioned semi-conductor substrate in claim 1.

[Claim 10] claim 3 -- setting -- the above -- the semiconductor device characterized by for a plug consisting of W the 3rd conductor, for the above-mentioned gate electrode being the electrode structure where the laminating of the metal silicide was carried out on Polycrystal Si, and the 4th above-mentioned conductor layer of the above consisting of an AlCu alloy.

[Claim 11] On the semi-conductor body which consists of the semi-conductor layer of the 1st conductivity type formed in the top face of the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate, an insulated-gate field-effect transistor, It is the semiconductor device with which the protection diode connected to the gate in order to protect the above-mentioned transistor was constituted. The above-mentioned insulated-gate field-effect transistor The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged in the 1st principal plane section of the above-mentioned semi-conductor layer divided by the component isolation region mutually, and was located in it across the field in which a channel is formed, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The 1st reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched at a part of above-mentioned 1st principal plane section, The above-mentioned above-mentioned gate electrode, 1st field [of the above], 2nd field [of the above], and 1st reach through layer top The 1st insulator layer of a wrap, the 1st conductor connected to the high concentration field of the 1st field of the above, and the 2nd field of the above, and the above-mentioned 1st reach through layer through opening prepared in the 1st insulator layer of the above, respectively -- a plug and the 2nd conductor -- a plug -- and with a plug the 3rd conductor the above -- the 1st conductor layer connected to a plug and the 3rd plug the 1st conductor, and the above -- with the 2nd conductor layer connected to the plug the 2nd conductor It consists of the 3rd conductor layer connected to the inferior surface of tongue of the above-mentioned semi-conductor substrate. And the above-mentioned protection diode The 3rd field of the 2nd conductivity type formed in the 2nd principal plane section of the above-mentioned semi-conductor layer divided by the component isolation region, The semiconductor device characterized by being the back two back diode which consisted of the 4th field of the 1st conductivity type and the 5th field which were formed in the 3rd field of the above, and consisted of the 4th field of the above, the 3rd field of the above, and the 5th field of the above.

[Claim 12] It is the semiconductor device characterized by connecting with the pad for gate electrodes with which the 4th field of the above was prepared on the above-mentioned semi-conductor layer principal plane through the plug in claim 11 the 4th conductor electrically.

[Claim 13] It is the semiconductor device characterized by the 4th plug of the above consisting of two or more plugs in claim 12.

[Claim 14] In claim 11, the above-mentioned 2nd principal plane section is covered with the 1st insulator layer of the above, and a plug is connected to the 4th field of the above, and the 5th field of the above through a plug and opening prepared in the 1st insulator layer of the above, respectively the 5th conductor the 4th conductor. the 6th conductor layer and the 7th conductor layer -- the 4th conductor of the above -- a plug and the above -- the semiconductor device characterized by arranging the 2nd reach through layer which is connected to a plug the 5th conductor, touches the above-mentioned 2nd principal plane section to the 5th field of the above, and touches the above-mentioned semi-conductor substrate.

[Claim 15] The semiconductor device characterized by for the 6th conductor layer of the above extending on the above-mentioned

component isolation region, and connecting the pad for gate electrodes to the 6th conductor layer of the above on the above-mentioned component isolation region in claim 14.

[Claim 16] It is the semiconductor device characterized by the above 1st, the 2nd, the 3rd, the 4th, and for a plug consisting of a tungsten the 5th conductor and the 1st, 2nd, 6th, and 7th conductor layers of the above consisting of aluminium alloy in claim 14.

[Claim 17] It is the semiconductor device characterized by the 1st, 2nd, 6th, and 7th conductor layers of the above consisting of an AlCu alloy in claim 16.

[Claim 18] It is the insulated-gate electric field effect mold semiconductor device for power which has a drain offset field. The N type drain field which estranges mutually in a P type silicon semi-conductor layer, and has an N type source field and an offset field is formed. A gate electrode is formed in the above-mentioned P type silicon semi-conductor layer front face used as the channel field between the above-mentioned N type source field and the above-mentioned offset field through gate dielectric film. The above-mentioned gate electrode is an insulated-gate mold electric field effect mold semiconductor device characterized by consisting of the silicon semi-conductor layer containing a P type impurity.

[Claim 19] It is the insulated-gate mold electric field effect mold semiconductor device characterized by consisting of the polycrystalline silicon layer in which the above-mentioned gate electrode contains a P type impurity in claim 18, and the metal silicide layer formed on this polycrystalline silicon layer.

[Claim 20] It is the insulated-gate mold electric field effect mold semiconductor device [claim 21] characterized by consisting of the 1st silicon oxide which formed the above-mentioned gate dielectric film by thermal oxidation in claim 18, and the 2nd silicon oxide formed with gaseous-phase chemistry growth on the above-mentioned silicon oxide. The P type silicon semi-conductor layer which has low high impurity concentration rather than a P type silicon semi-conductor substrate and the above-mentioned substrate located in one principal plane of the above-mentioned substrate, The 1st N type field and the 2nd N type field which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, It is between the N type field of the above 1st in the principal plane of the above-mentioned semi-conductor layer, and the 2nd N type field. The 3rd N type field in which it estranged from the N type field of the above 1st, and was located in contact with the N type field of the above 2nd and which has low high impurity concentration rather than the N type field of the above 2nd, It is on the principal plane of the above-mentioned semi-conductor layer in which it is located between the N type field of the above 1st, and the N type field of the above 3rd, and a channel is formed. So that an edge may overlap, respectively and may carry out termination of the 1st field of the above, and the 3rd field of the above on the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The P type distributional area which the impurity atom concentration profile in the above-mentioned semi-conductor layer located between the N type field of the above 1st and the N type field of the above 3rd increases from the front face of the above-mentioned semi-conductor layer toward the above-mentioned semi-conductor substrate, The semiconductor device characterized by consisting of N type distributional areas which lap with the above-mentioned P type distributional area, and decrease in number toward the above-mentioned semi-conductor substrate from the front face of the above-mentioned semi-conductor layer.

[Claim 22] The P type silicon semi-conductor layer which has low high impurity concentration rather than a P type silicon semi-conductor substrate and the above-mentioned substrate located in one principal plane of the above-mentioned substrate, The 1st N type field and the 2nd N type field which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, It is between the N type field of the above 1st in the principal plane of the above-mentioned semi-conductor layer, and the 2nd N type field. The 3rd N type field in which it estranged from the N type field of the above 1st, and was located in contact with the N type field of the above 2nd and which has low high impurity concentration rather than the N type field of the above

2nd, It is on the principal plane of the above-mentioned semi-conductor layer in which it is located between the N type field of the above 1st, and the N type field of the above 3rd, and a channel is formed. So that an edge may overlap, respectively and may carry out termination of the 1st field of the above, and the 3rd field of the above on the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The P type distributional area which the impurity atom concentration profile in the above-mentioned semi-conductor layer located between the N type field of the above 1st and the N type field of the above 3rd increases from the front face of the above-mentioned semi-conductor layer toward the above-mentioned semi-conductor substrate, The semiconductor device characterized by consisting of N type distributional areas which have the peak of high impurity concentration in the interior which lapped with the above-mentioned P type distributional area, and is distant from the front face of the above-mentioned semi-conductor layer.

[Claim 23] The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate located in one principal plane of the above-mentioned semi-conductor substrate, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, and to the principal plane of the above-mentioned semi-conductor layer which has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate, and was located between the 1st field of the above, and the 3rd field of the above The 4th field of the 1st conductivity type which carries out termination is alternatively formed in the 3rd field of the above. The semiconductor device characterized by having the pocket layer of the 1st conductivity type which has high impurity concentration higher than the surface high impurity concentration of the 4th field of the above in a location deeper than the 3rd field of the above in the 4th field of the above located under the above-mentioned gate electrode.

[Claim 24] It is the semiconductor device characterized by connecting electrically the 1st electrode of the above, and the 3rd electrode of the above in claim 23.

[Claim 25] The semiconductor device characterized by establishing the 5th field of the 1st conductivity type which touches the 1st field of the above, and the above-mentioned semi-conductor substrate in the above-mentioned 1st semi-conductor layer in claim 23.

[Claim 26] It is the semiconductor device characterized by connecting the 3rd electrode of the above to the 1st reference potential, and connecting the 2nd electrode of the above to the 2nd reference potential in claim 23.

[Claim 27] It is the semiconductor device which the 3rd electrode of the above is a source electrode, and is characterized by the 2nd electrode of the above being a drain electrode in claim 26.

[Claim 28] It is the semiconductor device which the 1st reference potential of the above is touch-down potential, and is characterized by the 2nd reference potential of the above being power-source potential in claims 26 or 27.

[Claim 29] It is the semiconductor device characterized by forming the above-mentioned pocket layer by the ion implantation approach of the direction of slant to the principal plane of the above-mentioned semi-conductor layer in claim 23.

[Claim 30] The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate located in one principal plane of the above-mentioned semi-conductor substrate, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The semiconductor device characterized by being larger than the 2nd thickness of the gate dielectric film on the principal plane of the above-mentioned semi-conductor layer to which the 1st thickness of the gate dielectric film which exists while the 3rd field of the above and a gate electrode overlap was located between the 1st field of the above, and the 3rd field of the above.

[Claim 31] The semiconductor device characterized by forming alternatively the 4th field of the 1st conductivity type which carries out termination in the 3rd field of the above at the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above in claim 30.

[Claim 32] It is the semiconductor device characterized by connecting electrically the 1st electrode of the above, and the 3rd electrode of the above in claims 30 or 31.

[Claim 33] The semiconductor device characterized by establishing the 5th field of the 1st conductivity type which touches the 1st field of the above, and the above-mentioned semi-conductor substrate in the above-mentioned 1st semi-conductor layer in claim 30.

[Claim 34] It is the semiconductor device characterized by connecting the 3rd electrode of the above to the 1st reference potential, and connecting the 2nd electrode of the above to the 2nd reference potential in claim 30.

[Claim 35] It is the semiconductor device which the 3rd electrode of the above is a source electrode, and is characterized by the 2nd electrode of the above being a drain electrode in claim 34.

[Claim 36] It is the semiconductor device which the 1st reference potential of the above is touch-down potential, and is characterized by the 2nd reference potential of the above being power-source potential in claims 34 or 35.

[Claim 37] It is the semiconductor device characterized by being thickly formed so that the gate dielectric film of the 1st thickness of the above may constitute a taper configuration from the gate dielectric film of the 2nd thickness of the above in claim 30.

[Claim 38] It is the semiconductor device characterized by the gate dielectric film of the 1st thickness of the above consisting of BAZU beak structure in claim 37.

[Claim 39] (1) The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the semi-conductor base of the 1st conductivity type, and the above-mentioned semi-conductor base located in one principal plane of the (2) above-mentioned semi-conductor base, (3) The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, (4) The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, (5) So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above

and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of (6) above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the (7) above-mentioned semi-conductor substrate. It is the semiconductor device which a BAZU beak exists while the 3rd field of the above and a gate electrode overlap, and is characterized by the high impurity concentration of the above-mentioned 3rd field front face being almost equal to the high impurity concentration of the 2nd field of the above, or being more than it.

[Claim 40] It is the semiconductor device characterized by the high impurity concentration of the above-mentioned 3rd field front face having the peak value more than $1E19$ ($1 \times 10^{19} \text{cm}^{-3}$) in claim 39.

[Claim 41] The high impurity concentration of the above-mentioned 3rd field front face is a semiconductor device characterized by distributing the depth from a front face over less than 0.005 micrometers in claims 39 or 40.

[Claim 42] The substrate with which the semi-conductor layer of the 1st conductivity type which has low high impurity concentration was formed in the principal plane, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively It has a field. the well of the 1st conductivity type formed in the above-mentioned semi-conductor layer the gate electrode prepared through gate dielectric film, and under the above-mentioned gate dielectric film -- The 1st thickness of the gate dielectric film which exists while the 3rd field of the above and a gate electrode overlap It is the semiconductor device which is formed more thickly than the 2nd thickness of the gate dielectric film on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above, and is characterized by the 3rd field of the above consisting of a shallow high concentration field and a deep low concentration field.

[Claim 43] claim 42 -- setting -- the above -- a well -- the semiconductor device characterized by the field carrying out termination to the 3rd field of the above.

[Claim 44] claim 42 -- setting -- the above -- a well -- the semiconductor device characterized by the field carrying out termination to the bottom of the above-mentioned gate electrode.

[Claim 45] It is the semiconductor device characterized by consisting of the high-melting silicide layer by which the laminating was carried out to the polycrystalline silicon layer in which the above-mentioned gate electrode contains a P type impurity in claim 42 on the above-mentioned polycrystalline silicon.

[Claim 46] A semi-conductor substrate and a semi-conductor layer with the 1st conductivity type formed on the principal plane of the above-mentioned semi-conductor substrate, The 1st and 2nd fields with the 2nd conductivity type opposite to the 1st conductivity type of the above which each other was estranged by the above-mentioned semi-conductor layer principal plane, and was located in it, The 3rd field of the 2nd conductivity type formed so that it might be in the above-mentioned semi-conductor layer principal plane located between the 1st field of the above, and the 2nd field, it might estrange from the 1st field of the above and the 2nd field of the above might be touched, The gate oxide prepared in the principal plane of the above-mentioned semi-conductor layer used as the channel field between the 1st field of the above, and the 3rd field of the above, The gate conductor layer prepared on the above-mentioned gate oxide, and the 1st conductor layer connected to the 1st field of the above, It consists of the 3rd conductor layer connected to the rear face of the 2nd conductor layer connected to the 2nd field of the above, and the above-mentioned semi-conductor substrate. Between the 1st gate oxide located between the 1st field of the above, and the above-mentioned gate dielectric film, and the 3rd field

of the above and the above-mentioned gate dielectric film The semiconductor device characterized by being larger than the thickness of the 3rd gate oxide prepared in the principal plane of the semi-conductor layer from which each thickness of the 2nd located gate oxide serves as the above-mentioned channel field.

[Claim 47] The semiconductor device for RFs with which the 4th field of the 1st conductivity type is characterized by carrying out termination in the 3rd field of the above in claim 46 at the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above.

[Claim 48] It is the semiconductor device characterized by connecting electrically the 1st conductor layer of the above, and the above-mentioned conductor layer in claim 46 or claim 47.

[Claim 49] The semiconductor device characterized by establishing the 5th field of the 1st conductivity type which touches the 1st field of the above, and the above-mentioned semi-conductor substrate in the above-mentioned 1st semi-conductor layer in claim 46.

[Claim 50] It is the semiconductor device characterized by connecting the 3rd conductor layer of the above to the 1st reference potential, and connecting the 2nd conductor layer of the above to the 2nd reference potential in claim 46.

[Claim 51] It is the semiconductor device for RFs which the 3rd conductor layer of the above is a source rear-face electrode, and is characterized by the 2nd conductor layer of the above being a drain electrode in claim 50.

[Claim 52] It is the semiconductor device which the 1st reference potential of the above is touch-down potential, and is characterized by the 2nd reference potential of the above being power-source potential in claim 50 or claim 51.

[Claim 53] It is the semiconductor device characterized by the 1st and 2nd gate oxide of the above consisting of BAZU beak structure in claim 46.

[Claim 54] The drain field and source field which were established in the principal plane of a semi-conductor layer across two or more channel field and each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. It is the insulated-gate mold semiconductor device which common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains, and is characterized by the 2nd metallic conductor layer for the above-mentioned gates having the bonding pad section for the gates.

[Claim 55] It is the insulated-gate mold semiconductor device characterized by forming the above-mentioned semi-conductor layer in the front face of a semi-conductor substrate in claim 54, and preparing the source electrode in the rear face of the above-mentioned semi-conductor substrate.

[Claim 56] The insulated-gate mold semiconductor device characterized by preparing the penetration layer which has high high impurity concentration rather than the above-mentioned semi-conductor layer, and connecting the 1st metallic conductor layer for the above-mentioned sources to the principal plane of the above-mentioned penetration layer through a metal plug in claim 55 with the same conductivity type as the above-mentioned semi-conductor layer which reaches in the above-mentioned semi-conductor layer at

the above-mentioned semi-conductor substrate.

[Claim 57] The insulated-gate mold semiconductor device characterized by letting opening for source connection prepared in the above-mentioned interlayer insulation film located on the above-mentioned metal plug in claim 56 pass, and connecting the 2nd metallic conductor layer for the above-mentioned sources to the 1st metallic conductor layer for the above-mentioned sources.

[Claim 58] It is the insulated-gate mold semiconductor device characterized by the 2nd metallic conductor layer for the above-mentioned sources having the source pad section for probes in claim 56.

[Claim 59] The insulated-gate mold semiconductor device characterized by to approach the above-mentioned drain pad section, and for the extension section of the 2nd metallic conductor layer for the above-mentioned sources to be arranged in claim 56, to be located under the above-mentioned extension section, and for other penetration layers which have the same configuration as the above-mentioned penetration layer to be prepared in the above-mentioned semi-conductor layer, and to carry out electrical installation of the above-mentioned extension section to the penetration layer besides the above.

[Claim 60] The 2nd metallic conductor layer for the sources which approaches the above-mentioned gate pad section and is different from the 2nd metallic conductor layer for the above-mentioned sources in claim 56 is arranged, and it is located under the 2nd metallic conductor layer different the account of a top for the sources. The insulated-gate mold semiconductor device characterized by carrying out electrical installation of the 2nd metallic conductor layer for the sources from which other penetration layers which have the same configuration as the above-mentioned penetration layer are prepared in the above-mentioned semi-conductor layer, and differ the account of a top to the penetration layer besides the above.

[Claim 61] In claim 59, the 1st metallic conductor layer for the above-mentioned gates is arranged along with the above-mentioned conductor layer for gate electrodes. The 1st metallic conductor layer for the above-mentioned drains and the 1st metallic conductor layer for the above-mentioned sources are arranged along with the 1st metallic conductor layer for the above-mentioned gates, respectively. The 2nd metallic conductor layer for the above-mentioned drains is located on the 1st [for the above-mentioned drains] metallic conductor layer, and is arranged along with the 1st metallic conductor layer for the above-mentioned drains. The 2nd metallic conductor layer for the above-mentioned sources is an insulated-gate mold semiconductor device characterized by being located on the 1st [for the above-mentioned sources] metallic conductor layer, and being arranged along with the 1st metallic conductor layer for the above-mentioned sources.

[Claim 62] The drain field and source field which were established in the principal plane of a semiconductor chip which has a semi-conductor layer across two or more channel field and each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block. The insulated-gate

mold semiconductor device with which the insulated gate field effect transistor of the above-mentioned unit block is characterized by carrying out two or more arrangement at the principal plane of the above-mentioned semiconductor chip.

[Claim 63] It is the insulated-gate mold semiconductor device characterized by to have the 1st side and the 2nd side where the above-mentioned semiconductor chip counters mutually in claim 62, to carry out the parallel arrangement of the plurality of the insulated gate field effect transistor of the above-mentioned unit block along the 1st and 2nd side of the above, to arrange the bonding pad section for the above-mentioned drains along the 1st side of the above, and to arrange the bonding pad section for the above-mentioned gates along the 2nd side of the above.

[Claim 64] It is the insulated-gate semiconductor device characterized by for the 2nd metallic conductor layer for the above-mentioned sources having a source pad for probes in claim 63, and arranging the source pad section for probes within the above-mentioned unit block along the 2nd side of the above.

[Claim 65] The insulated-gate mold semiconductor device characterized by carrying out electrical installation of the gate protection component to the bonding pad section for the gates arranged in the outermost part in claim 63, respectively.

[Claim 66] The insulated-gate mold semiconductor device characterized by forming the metal connection layer of the metallic conductor layer of the above 1st, and this layer in the above-mentioned semiconductor chip principal plane, and the above-mentioned gate protection component and the above-mentioned bonding pad section being connected by the above-mentioned metal connection layer in claim 65.

[Claim 67] The drain field and source field which were established in the principal plane of a semi-conductor substrate which has a semi-conductor layer across two or more channel field and each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block. The insulated-gate mold semiconductor device which two or more arrangement of the insulated gate field effect transistor of the above-mentioned unit block is carried out at the principal plane of the above-mentioned semi-conductor substrate, and is characterized by connecting the 1st metallic conductor layer for the above-mentioned gates, and the 2nd metallic conductor layer for the above-mentioned gates between the above-mentioned unit blocks.

[Claim 68] The drain field and source field which were established in the principal plane of a semi-conductor substrate which has a semi-conductor layer across two or more channel field and each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the

metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. It is the insulated-gate mold semiconductor device characterized by for the 2nd metallic conductor layer for the above-mentioned gates having the bonding pad section for the gates, and for the above-mentioned drain field being a common drain field across which it faced between the above-mentioned channel fields, and preparing independently the above-mentioned conductor layer for gate electrodes, respectively.

[Claim 69] The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate] respectively, The drain field and source field which were prepared across each above-mentioned channel field, The 1st and 2nd insulated gate field effect transistors which have the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film are arranged. Electrical installation of the 1st resistor for impedance matching is carried out to each drain field of the 1st and 2nd insulated gate field effect transistor. The insulated-gate mold semiconductor device characterized by carrying out electrical installation of the 2nd resistor for impedance matching, and growing into each conductor layer for gate electrodes of the 1st and 2nd insulated-gate field-effect transistor.

[Claim 70] It is the insulated-gate mold semiconductor device characterized by the 1st and 2nd resistor of the above consisting of the same ingredient as the above-mentioned conductor layer for gate electrodes in claim 69.

[Claim 71] The insulated-gate mold semiconductor device characterized by arranging the component for current detection constituted like the 1st and 2nd insulated gate field effect transistor in claim 69 at the principal plane of the above-mentioned semi-conductor substrate, arranging a shielding layer between the 1st or 2nd insulated gate field effect transistor of the above, and the above-mentioned component for current detection, and changing.

[Claim 72] It is the insulated-gate mold semiconductor device characterized by consisting of the metal plug connected to the semiconductor region where the above-mentioned shielding layer reaches the above-mentioned semi-conductor substrate from the above-mentioned principal plane in claim 71, and the above-mentioned semiconductor region, the 1st metallic conductor layer connected to the above-mentioned metal plug, and the 2nd metallic conductor layer connected to the metallic conductor layer of the above 1st.

[Claim 73] The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate] respectively, The drain field and source field which were prepared across each above-mentioned channel field, The 1st and 2nd insulated gate field effect transistors which have the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film are arranged. The bonding pad for drains and the bonding pad for the gates to the 1st and 2nd insulated gate field effect transistors of the above are arranged at the above-mentioned principal plane, respectively. The insulated-gate mold semiconductor device characterized by arranging a source electrode at the rear face of the above-mentioned semi-conductor substrate, arranging a shielding layer between the 1st and 2nd insulated gate field effect transistors of the above, and changing.

[Claim 74] It is the insulated-gate mold semiconductor device characterized by consisting of the metal plug connected to the semiconductor region where the above-mentioned shielding layer reaches the above-mentioned semi-conductor substrate from the above-mentioned principal plane in claim 73, and the above-mentioned semiconductor region, the 1st metallic conductor layer connected to the above-mentioned metal plug, and the 2nd metallic conductor layer connected to the metallic conductor layer of the

above 1st.

[Claim 75] The semi-conductor substrate of the 1st conductivity type, and the semi-conductor layer of the 1st conductivity type formed in the top face of the above-mentioned semi-conductor substrate, The field insulator layer formed in order to divide a component formation field to the above-mentioned semi-conductor layer principal plane, The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and was located in the above-mentioned component formation field across the field in which a channel is formed, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The process which introduces the impurity for forming the above-mentioned reach through layer in the above-mentioned semi-conductor layer principal plane alternatively in the manufacture approach of a semiconductor device of having the reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched in the above-mentioned component formation field, While forming the above-mentioned field insulator layer in the above-mentioned semi-conductor layer principal plane alternatively by thermal oxidation The process which forms the above-mentioned reach through layer which extends the above-mentioned impurity and touches the above-mentioned semi-conductor substrate, The process which forms the above-mentioned gate dielectric film in the component formation field divided by the above-mentioned field insulator layer on a front face, The manufacture approach of the semiconductor device characterized by consisting of the process which forms the above-mentioned gate electrode on the above-mentioned gate dielectric film, and the process formed in the 1st and 2nd field of the above in the above-mentioned component formation field after an appropriate time.

[Claim 76] It is the manufacture approach of the semiconductor device characterized by forming the thickness of the above-mentioned semi-conductor layer in 2.5 micrometers or more and 3.5 micrometers or less in claim 75.

[Claim 77] the well as a field where the impurity of the 1st conductivity type is introduced and the above-mentioned channel is formed in claim 75 after the above-mentioned field insulator layer formation process and in the above-mentioned component formation field -- the manufacture approach of the semiconductor device characterized by forming a field.

[Claim 78] It is the manufacture approach of the semiconductor device characterized by performing impurity installation of the 1st conductivity type of the above by two steps of ion implantation in claim 77.

[Claim 79] claim 75 -- setting -- after the above-mentioned field insulator layer formation process -- it is -- the above -- a well -- the manufacture approach of the semiconductor device characterized by performing annealing treatment in advance of formation.

[Claim 80] It is the manufacture approach of the semiconductor device characterized by carrying out self-align formation of the above-mentioned low concentration field in claim 75 at the above-mentioned gate electrode.

[Claim 81] It is the manufacture approach of the semiconductor device characterized by consisting of the 1st ion implantation process that the above-mentioned low concentration field introduces the impurity of the 2nd conductivity type in the above-mentioned component formation field in claim 80, and the 2nd ion implantation process which introduces the impurity of the 2nd high-concentration conductivity type rather than the 1st ion implantation of the above.

[Claim 82] The manufacture approach of the semiconductor device characterized by having the process which forms a BAZU beak oxide film in the component formation field front face in which it is after a formation process, and is located in the above-mentioned gate electrode edge subordinate, and the above-mentioned low concentration field is formed in the above-mentioned gate electrode in claim 79 by thermal oxidation.

[Claim 83] It is the manufacture approach of the semiconductor device characterized by forming the above-mentioned BAZU beak oxide film by consisting of the polycrystalline silicon layer to which the above-mentioned gate electrode touches the above-mentioned gate dielectric film in claim 82, and oxidizing thermally the edge of the above-mentioned polycrystalline silicon layer.

[Claim 84] The manufacture approach of the semiconductor device characterized by having the process which forms a BAZU beak oxide film in the above-mentioned component formation field front face which is after a formation process and was located under the above-mentioned gate electrode both ends in the above-mentioned gate electrode in claim 75 by thermal oxidation.

[Claim 85] It is the manufacture approach of the semiconductor device characterized by forming the above-mentioned BAZU beak oxide film by consisting of the polycrystalline silicon layer to which the above-mentioned gate electrode touches the above-mentioned gate dielectric film in claim 84, and oxidizing thermally the edge of the above-mentioned polycrystalline silicon layer.

[Claim 86] It is the manufacture approach of the semiconductor device characterized by forming an acid nitride by heat treatment in the oxygen ambient atmosphere in which the formation process of the above-mentioned gate dielectric film contains nitrogen in claim 75.

[Claim 87] It is the manufacture approach of the semiconductor device characterized by forming by thermal oxidation in which the above-mentioned BAZU beak oxide film contains nitrogen in either claim 82 or claim 84.

[Claim 88] The manufacture approach of the semiconductor device characterized by introducing nitrogen ion by the ion implantation approach in the above-mentioned BAZU beak oxide film in either claim 82 or claim 84 after forming the above-mentioned BAZU beak oxide film.

[Claim 89] (1) The process which prepares the semi-conductor substrate which has the semi-conductor layer of the 1st conductivity type for a principal plane, (2) The process which introduces an impurity for the impurity of the 1st conductivity type for forming in the above-mentioned semi-conductor layer principal plane the reach through layer which reaches the above-mentioned semi-conductor substrate alternatively, (3) The process which forms alternatively the field insulator layer for dividing a component formation field to the above-mentioned semi-conductor layer principal plane by thermal oxidation, (4) The process which forms gate dielectric film in the component formation field divided by the above-mentioned field insulator layer on a front face, (5) The process which forms a gate electrode on the above-mentioned gate dielectric film, and the process which carries out self-align formation of the offset field of the 1st conductivity type to the above-mentioned gate electrode into the (6) above-mentioned component formation field, (7) the 1st field of the 1st conductivity type by which self align was carried out to the above-mentioned gate electrode into the above-mentioned component formation field The process which estranges from the above-mentioned gate electrode edge, and touches the above-mentioned offset field, and forms the 2nd field of the 1st conductivity type which has high high impurity concentration rather than the above-mentioned offset field, respectively, Then, the process which forms the 1st insulator layer so that the (8) above-mentioned component formation field may be covered, (9) The process which forms opening for exposing the above-mentioned 1st and 2nd field principal plane and the above-mentioned reach through layer principal plane to the 1st insulator layer of the above, respectively, (10) The process which forms the 1st, 2nd, and 3rd metal plug linked to the above-mentioned 1st and 2nd field principal plane and the above-mentioned reach through layer in the above-mentioned opening, respectively, (11) The manufacture approach of the semiconductor device characterized by consisting of the process which carries out pattern formation of the 2nd conductor layer which connects to the above-mentioned 2nd metal plug the 1st conductor layer which connects the above-mentioned 1st and 3rd metal plug of each other, respectively, and the process which forms the 3rd conductor layer in the rear face of the (12) above-mentioned semi-conductor substrate.

[Claim 90] The manufacture approach of the semiconductor device characterized by carrying out grinding of the rear face of the above-mentioned semi-conductor substrate in advance of the above-mentioned (12) process in claim 89.

[Claim 91] In claim 89 at the above-mentioned (12) process Then, the process which covers the 2nd insulator layer on the 1st conductor layer of (13) above, and the 2nd conductor layer of the above, (14) -- the 2nd insulator layer of the above -- receiving -- the 1st conductor of the above -- a plug and the above -- it being located on a plug the 2nd conductor and with the process which prepares the 1st opening and the 2nd opening to the 2nd insulator layer of the above, respectively (15) The manufacture approach of

the semiconductor device characterized by including the process which carries out pattern formation of the 2nd wiring layer which connects to the 2nd conductor layer of the above the 1st wiring layer which connects with the 1st conductor layer of the above through the 1st opening of the above through the 2nd opening of the above, respectively.

[Claim 92] claim 89 -- setting -- the above-mentioned (5) process -- preceding -- the impurity of the 1st conductivity type -- introducing -- a well -- the manufacture approach of the semiconductor device characterized by including the process which forms a field.

[Claim 93] claim 92 -- setting -- the above -- a well -- the manufacture approach of the semiconductor device characterized by performing a formation process following the above-mentioned (4) process.

[Claim 94] claim 92 or claim 93 -- either -- setting -- the above -- a well -- the manufacture approach of the semiconductor device characterized by performing a formation process by two steps of the ion implantation approaches.

[Claim 95] in claim 89, the 1st insulator layer of the above-mentioned (8) process is a silicon nitride film -- the manufacture approach of the semiconductor device characterized by things.

[Claim 96] claim 92 -- setting -- after the above-mentioned (5) process -- the above -- a well -- the manufacture approach of the semiconductor device characterized by including the process which was located under the above-mentioned gate electrode by carrying out the ion implantation of the impurity of the 1st conductivity type from the direction of slant to the above-mentioned component formation field principal plane into a field, and which embeds and forms a field.

[Claim 97] It is the manufacture approach of the semiconductor device characterized by using the mask with which the above-mentioned embedding field formation process was used at the above-mentioned (7) process in claim 96 for the above-mentioned 1st and 2nd field formation.

[Claim 98] It is the insulated-gate mold semiconductor device with which the insulated gate field effect transistor is formed in the high resistive layer front face of the same conductivity type as the 1st conductivity type of the above formed on the low resistance semi-conductor substrate of the 1st conductivity type. The low resistance source field of the 2nd conductivity type of a conductivity type opposite to the 1st conductivity type of the above is connected to the above-mentioned low resistance substrate through the low resistive layer of the 1st conductivity type formed in this high resistive layer. The low resistance drain field of the 2nd conductivity type of the above-mentioned semiconductor device constitutes the offset structure which is distant from a gate electrode edge through the high resistive layer of the 2nd conductivity type. 0.35 micrometers or less and gate oxide thickness 10nm or more 12nm or less, [the direction die length of a channel of a gate electrode] The insulated-gate mold semiconductor device with which offset die length from the gate electrode edge of a drain field is characterized by the high resistance layer thickness on 0.4-micrometer or more 0.8 micrometers or less and a semi-conductor substrate being [drain pressure-proofing] more than 10V in 2.5 micrometers or more and 3.5 micrometers or less.

[Claim 99] It is the high frequency module which constitutes an amplifying circuit with two or more semiconductor chips which constitute an insulated gate field effect transistor. The semiconductor chip of each above The drain field and source field which were established in the principal plane of a semi-conductor substrate which has a semi-conductor layer across two or more channel field and each above-mentioned channel field, It has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection

of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block. The high frequency module with which the insulated gate field effect transistor of the above-mentioned unit block is characterized by carrying out two or more arrangement at the above-mentioned semi-conductor layer principal plane.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a technique effective in the RF power amplifier which carries out power amplification of the RF signal, and outputs it especially with respect to the semiconductor device used for the mobile communication device which uses a microwave band (which cellular 500MHz or more and 2.5GHz or less).

[0002]

[Description of the Prior Art] In recent years, the mobile communication device (the so-called cellular phone) represented by communication modes, such as a GSM (Global System for Mobile Communications) method, a PCS (Personal Communication Systems) method, a PDC (Personal Digital Cellular) method, and a CDMA (Code Division Multiple Access) method, has spread globally.

[0003] Generally, a mobile communication device consists of the antenna which carries out radiation and reception of an electric wave, the RF power amplifier which amplifies the RF signal by which the power modulation was carried out, and is supplied to an antenna, a receive section which does signal processing of the RF signal received with the antenna, a control section which performs these control, and a cell (dc-battery) which supplies supply voltage to these.

[0004] It is indicated by the following well-known reference about the semiconductor device used for such a mobile communication device and a mobile communication device.

[0005] (1) About the configuration of a mobile communication device, it is indicated by "Hitachi criticism" vol.78, No.11 (1996-11), and pp 21-26 (reference 1), for example.

[0006] (2) The configuration of the typical RF power amplifier of a GSM method is ISSCC98 and DIGEST OF TECHNICAL PAPERS (February 5, 1998) pp 50-52 (reference 2). It is stated.

[0007] According to this reference, the threshold electrical potential difference of FET is controlled to the proper value for reduction of the stable design of a circuit, and the leakage current in an OFF state. As a configuration of an amplifier, the last stage component of a three-step amplifying circuit was considered as 2 chip juxtaposition, it is preparing and compounding a matching circuit to each, and high power is realized rather than the case of one chip. By reference, the configuration of this amplifier is called the DD-CIMA (Divided Device and Collectively Impedance matched Amplifier) technique.

[0008] (3) The amplifier applied to RF power amplifier is stated to IEDM97 Technical Digest (1997) and pp 51-54 (reference 3).

[0009] According to this reference, an amplifier is constituted from a power insulated gate field effect transistor (power metal-oxide semiconductor field effect transistor is called hereafter) using Si (silicon) semi-conductor, and realizing high performance-ization is

indicated.

[0010] Specifically, improvement in the engine performance is aimed at by setting gate length of MOSFET to 0.4 μ m(s). Moreover, drain pressure-proofing is set up more than 20V by preparing the offset layer of die-length 0.7 μ m extent in the drain side of power metal-oxide semiconductor field effect transistor. And in order to carry out high frequency operation, reduction of gate resistance is still more important, and reduction of gate resistance is aimed at according to the structure (aluminum-shorted silicon gate structure) where aluminum wiring was made to short-circuit to metal silicide / silicon laminating gate electrode.

[0011] (4) There is a motion which adopts a compound semiconductor (GaAs) wafer for efficient-izing of a component. Such a technical trend is stated to NIKKEI ELECTRONICS 1998.11.2 (no.729) pp 238-245 (reference 4). However, the wafer unit price of a GaAs technique is high compared with Si as stated also to this reference.

[0012]

[Problem(s) to be Solved by the Invention] In order to aim at the spread of mobile communication devices, the further formation of small lightweight of equipment and low-power-ization are demanded. Therefore, it is necessary to realize much more formation of small lightweight of each component part which constitutes a mobile communication device, and low-power-ization.

[0013] As one of the above-mentioned component parts, there is RF power amplifier which supplies a RF signal to an antenna. Generally, this RF power amplifier has the largest power consumption, and in order to attain low-power-ization of a mobile communication device, it is effective [power amplifier] to pursue reduction (improvement in effectiveness) for the power consumption of this RF power amplifier. The amplifier of a GSM method using a silicon (Si) semi-conductor realized output voltage 3.5W and about 50% (etaall) of overall efficiency at clock frequency [of 900MHz], and supply voltage 3.5 V:00. Overall efficiency here says the effectiveness in the high-frequency power amplifier (high frequency module) which consisted of the power amplification sections of three steps of power metal-oxide semiconductor field effect transistor.

[0014] When the engine performance of the power metal-oxide semiconductor field effect transistor using Si which is an output stage amplifier at this time was premised on the DD-CIMA technique, with 2W output, it is about 55% (etaadd) of addition effectiveness, and needed to realize 65% or more of addition effectiveness in power metal-oxide semiconductor field effect transistor to raise the overall efficiency of amplifier to 55% or more.

[0015] In addition, about the definition of the addition effectiveness (etaadd) in microwave power metal-oxide semiconductor field effect transistor, it is "optical microwave semi-conductor applied-technology" February 29, 1996, for example, It is stated to the 1st edition and 1st ** (, Inc. Science forum issue) pp 59-66 (reference 5).

[0016] The amplifier of a PCS method has realized output voltage 2W and about 45% of overall efficiency in clock frequency the o'clock of 1900MHz similarly. The engine performance of the power metal-oxide semiconductor field effect transistor which is an output stage amplifier at this time is about 50% with 1W output. In order to have raised the overall efficiency of amplifier to 50% or more, 55% or more of addition effectiveness needed to be realized in power metal-oxide semiconductor field effect transistor.

[0017] In order to raise the addition effectiveness of an amplifier (power metal-oxide semiconductor field effect transistor), reduction of on resistance, gate resistance, and parasitic capacitance and improvement in a mutual conductance are raised. The purpose of this invention is to offer the technique of planning high addition effectiveness of the semiconductor device applied to the high-frequency amplifier.

[0018] The concrete purpose of this invention is to offer the technique of aiming at on resistance reduction of a semiconductor device.

[0019] Other concrete purposes of this invention are to offer the technique of aiming at improvement in cut-off frequency.

[0020] Other purposes of this invention are to realize the semiconductor device which is compatible in improvement in a RF and the addition effectiveness in large power actuation, and reservation of dependability and mass-production nature. The purpose of further others of this invention is to offer the technique of attaining miniaturization and lightweight-ization of RF power amplifier.

[0021] As new along [said] this invention a description as the other purposes will become clear by description and the accompanying drawing of this specification.

[0022]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0023] The configuration of one typical semiconductor device of this invention The semi-conductor substrate of the 1st conductivity type, and the semi-conductor layer of the 1st conductivity type formed in the top face of the above-mentioned semi-conductor substrate, The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above in which it estranged mutually and was located across the field where a channel is formed in the principal plane of the above-mentioned semi-conductor layer part, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched at the section besides a principal plane of the above-mentioned semi-conductor layer, The above-mentioned above-mentioned gate electrode, 1st field [of the above], 2nd field [of the above], and reach through layer top The 1st insulator layer of a wrap, the 1st conductor connected to the high concentration field of the 1st field of the above, and the 2nd field of the above, and the above-mentioned reach through layer through opening prepared in the 1st insulator layer of the above, respectively -- a plug and the 2nd conductor -- a plug -- and with a plug the 3rd conductor the above -- the 1st conductor layer connected to a plug and the 3rd plug the 1st conductor, and the above -- it consists of the 3rd conductor layer connected to the inferior surface of tongue of the 2nd conductor layer connected to the plug the 2nd conductor, and the above-mentioned semi-conductor substrate.

[0024] according to the means mentioned above -- the high concentration field of the 1st field (source) and the 2nd field (drain) of the above, and the electrode drawer of the above-mentioned reach through layer (source punching layer) -- a conductor -- since the plug is used, the 1st and 2nd conductor layers (the 1st-layer wiring M1) of the above constitute the electrode pattern which has a flat side. For this reason, the degree of freedom of arrangement of the backing wiring layer for the low resistance wiring implementation to the 1st and 2nd conductor layers of the above (the 2nd-layer wiring M2) and M1 and M2 contact will increase.

[0025] Therefore, reduction of the wiring resistance to the high concentration field of the 1st field and the 2nd field of the above and the above-mentioned reach through layer can be aimed at. Consequently, since on resistance can be reduced, it can contribute to the high addition increase in efficiency of a semiconductor device.

[0026] The gate electrode which the configuration of other typical semiconductor devices of this invention is an insulated-gate electric field effect semiconductor device which has a drain offset field adjacent to a P-type semiconductor field and its P-type semiconductor field, and touches gate dielectric film consists of P-type semiconductors, and the N type layer is prepared in the above-mentioned P-type semiconductor field front face.

[0027] According to the means mentioned above, when the gate electrode carried out to the P-type semiconductor, i.e., a P gate, compared with N gate (a gate electrode is an N-type semiconductor), threshold voltage V_{th} will go up by relation of a work function difference by 1V. For this reason, in spite of having prepared the N type layer in the P-type semiconductor field front face, no MARI OFU, i.e., an enhancement condition, can be maintained in the condition of not giving gate voltage. And existence of this N type layer will bring about the operation which extends stretch of the depletion layer from drain junction, and drain pressure-proofing improves. So, when designing the P gate device (P gate power metal-oxide semiconductor field effect transistor) which has drain pressure-proofing of the same desired value as N gate, concentration of a drain offset field can be made high. That is, it is because it became unnecessary to extend a depletion layer to a drain offset field side. That concentration of an offset field can be made high

means that low resistance-ization of a drain offset field can be attained compared with N gate device.

[0028] Moreover, existence of an N type layer will bring about electric-field relaxation of a channel field front face. Therefore, the carrier mobility of a channel field part will improve. The improvement in carrier mobility can be regarded as the resistance component of the part having become small.

[0029] Furthermore, even if the improvement of carrier mobility based on the above-mentioned configuration shortens gate length L_g , it becomes possible [passing many currents]. That is, it is because the saturation of a carrier rate will appear notably and will usually sink-come to be hard of a high current, if gate length becomes short.

[0030] If the on resistance of the P gate device in the same pressure-proofing and N gate device is compared as the above result, the direction of a P gate device will become possible [decreasing enough] from N gate device. That is, P gate power metal-oxide semiconductor field effect transistor can attain high addition increase in efficiency.

[0031]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, in the drawing for explaining the gestalt of operation, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0032] (Operation gestalt 1) The operation gestalt 1 of this invention is explained with reference to drawing 5 from drawing 1 .

[0033] Drawing 1 is the sectional view of the semiconductor device (N gate and N channel mold Si power metal-oxide semiconductor field effect transistor) which is the operation gestalt 1 of this invention, and drawing 2 is the top view of the semiconductor device which is the operation gestalt 1 of this invention. Drawing 3 is the top view showing the layout of the semiconductor device (semiconductor chip) which is the operation gestalt 1 of this invention, and drawing 4 is the partial top view which expanded the protection component 19 in the semiconductor device (semiconductor chip) shown in drawing 3 . And drawing 5 is the sectional view of the D-D' cutting part of the protection component shown in drawing 4 .

[0034] The configuration of the semiconductor device (primitive cell of MOSFET) which is the operation gestalt 1 of this invention shown in <cross-section structure of primitive cell> drawing 1 is as follows.

[0035] The P type quantity resistance Si epitaxial layer (semi-conductor layer of the 1st conductivity type) 2 is formed in the top face of the P type low resistance Si substrate (semi-conductor substrate of the 1st conductivity type) 1. Substrate specific resistance is carrying out to below 0.02-ohmcm from the purpose which aims at on resistance reduction. Making below into 0.02-ohmcm specific resistance of the silicon substrate also conventionally applied by power metal-oxide semiconductor field effect transistor is indicated by JP,6-97447,A. The specific resistance of the silicon substrate applied to this operation gestalt 1 is 0.01-ohmcm.

[0036] Although the epitaxial wafer is recently applied also in CMOSIC, substrate specific resistance is about 10ohmcm in this case, and it is small figures about triple [about] compared with the substrate specific resistance in IC. An epitaxial layer has 3 micrometers in 20ohms of specific resistance cm, and thickness. The epitaxial layer thickness currently indicated by the above-mentioned official report is 5 micrometers, and is made thinner than it 2 micrometers for the purpose of on resistance reduction.

[0037] as the field where a channel is formed in the principal plane of an epitaxial layer 2 part -- P type -- a well -- the field 5 (PW) is formed alternatively. this P type -- a well -- a field suppresses the depletion-layer stretch prolonged in the source from a drain, and aims at the punch-through stopper of a sake. and P type -- a well -- the gate electrode 7 is formed in the field 5 (PW) front face through gate dielectric film (gate oxide) 6.

[0038] the inside of an epitaxial layer 2 -- it is -- P type -- a well -- the N type source field (the 1st field) 10 which has high high impurity concentration, and the N type drain offset field (the 3rd field) (NM) 8 which has low high impurity concentration are formed in the location mutually estranged in contact with the field 5 (punch-through stopper layer PW). Self align of these N type source field 10 and the N type drain offset field 8 (NM) is carried out to the gate electrode 7, and those parts overlap to the gate electrode 7.

[0039] In addition, especially the N type (high resistance) field 8 located under the N type source field 10 is not needed. Self-align formation of the N type (high resistance) field 8 is carried out to the gate electrode 7 in the case of the impurity installation for forming the N type drain offset field 8 (NM).

[0040] The N type drain field (the 2nd field) 9 which has the high high impurity concentration for an electrode drawer in contact with the drain offset field 8 is formed.

[0041] In contact with the N type source field 10, the P type source punching layer (reach through layer) 3 which has the high high impurity concentration (low resistance) which reaches a substrate 1 from the principal plane is formed in the epitaxial layer 2. The P type low resistance field 4 for contact is formed in the reach through layer 3 front face. Electrical installation of the N type source field 10 is carried out to the source rear-face electrode S1 through a metal plug, the 1st-layer wiring, the metal plug, and the reach through layer 3.

[0042] In addition, in drawing 1 , between A-A' is a primitive cell and the pitch is about 6 micrometers. It is 0.7 micrometers, the die length L_r , i.e., the drain offset length, of the above-mentioned drain offset field 8 in which the gate length L_g of the gate electrode 3 was formed for the drain proof-pressure reservation by 0.3 micrometers and electric-field relaxation. Gate oxide thickness is 11nm and was set up in consideration of oxide-film permissible electric field with the on resistance improvement. This is described in detail later. The 1st insulator layer (interlayer insulation film) 20 is formed so that the gate electrode 7, the N type source field 10, the N type drain offset field 8 (NM), the N type drain (low resistance) field 9, and the P type source punching layer 3 may be covered. the conductor for electrode drawers which two or more openings are prepared in the 1st insulator layer 20, and contacts the N type source field 10, the N type drain field 9, and the P type source punching layer 3 in these openings, respectively -- it has a plug P1. a conductor -- a plug P1 consists of a tungsten and is embedded in opening -- having -- the front face -- the front face of the 1st insulator layer 20 -- about -- I am doing one.

[0043] the conductor connected to the front face of the 1st insulator layer 20 to the N type source field 10 -- the conductor contacted by the plug and the P type source punching layer 3 -- the conductor with which the 11d of the 1st conductor layer which carries out electrical installation of the plug was contacted to the N type drain field 9 -- pattern formation of the 11s of the 2nd conductor layer linked to a plug P1 is carried out as the 1st-layer wiring (M1), respectively.

[0044] The 2nd insulator layer (interlayer insulation film) 30 is formed so that the 1st and 2nd conductor layer 11d and 11s may be covered. and the conductor contacted by the 2nd insulator layer to the P type source punching field 3 -- the conductor contacted by the N type drain field 9 on the plug -- it is located in a plug P1, respectively, and opening is formed. The wiring 12d and 12s (the 2nd-layer wiring M2) as backing wiring for attaining low resistance-ization of wiring resistance is connected to the 1st and 2nd conductor layer 11d and 11s through these openings, respectively.

[0045] Source rear-face electrode S (2) is connected to the 1st reference potential, for example, touch-down potential, and, on the other hand, 12d of drain electrodes is connected to the 2nd reference potential higher than the 1st reference potential of the above, for example, power-source ($V_{dd}=3.6V$) potential.

[0046] With reference to <layout of unit block> drawing 2 , the relation between the 1st-layer wiring of this operation gestalt 1 and the 2nd-layer wiring is described in detail below.

[0047] In drawing 2 , 11 is the conductor layer (the 1st-layer wiring M1) of the 1st layer, and 12 is the conductor layer (the 2nd-layer wiring M1) of the 2nd layer. the conductor to the N type source field 10 which 13 mentioned above, the N type drain field 9, and a semiconductor region like the P type source punching layer 3 -- it is the contact section of a plug (metal plug), and 14 is the contact section of the 2nd-layer wiring M2 to the 1st-layer wiring M1. 21 shows the boundary line of a component isolation region (field oxide). That is, the part surrounded by the line 21 is a component formation field. 22 is the bonding pad section for drain electrodes (drain pad), and 23 is the bonding pad section for gate electrodes (gate pad). This drain and the gate pads 22 and 23 show 1 block, and

arrange several blocks in juxtaposition according to required gate width with an actual chip. This is explained with reference to drawing 3 later.

[0048] Drawing 2 is the case where the number of the gate electrodes 3 is two, is inserted into the gate electrode 3, and has a drain field, and both sides serve as a source field. It is the primitive cell shown by drawing 1 , and with an actual chip, between A-A' arranges by the dozens of repeat, and may be 1 block. The drain is extended by the pad 22 with the 2nd-layer wiring in parallel, without crossing to the gate electrode 3. Moreover, it is backed with the 2nd-layer wiring in parallel, without also crossing the source to the gate electrode 3. The 1st-layer wiring extends the gate from the gate electrode 3 for every fixed die length, and common connection is made with the 2nd-layer wiring from the circumference at the pad section 23. In the case of this operation gestalt 1, the fixed die length which takes out a gate electrode is about 40 micrometers. Moreover, in order to make it intersect perpendicularly with a gate electrode and to take out wiring, the parasitic capacitance between the 2nd-layer wiring for drains and the 1st-layer wiring for the gates becomes small. Namely, the stripe-like gate electrode 3 is extended in the direction which carries out a perpendicular to drain wiring and a gate electrode with the 1st-layer wiring 11 in a fixed distance of about 40 micrometers. In the both ends of a block, common connection is made with the 2nd-layer wiring 12 at the gate pad 23. Compared with the case where this extends in parallel, the parasitic capacitance between drain wiring and gate wiring is reduced.

[0049] Moreover, the drain pad section 22 is approached, extension section 12E of the 2nd metallic conductor layer for the sources is arranged, it is located under extension section 12E, other penetration layers which have the same configuration as the above-mentioned penetration layer are prepared in an epitaxial layer, and electrical installation of the extension section 12E is carried out to the penetration layer.

[0050] according to this operation gestalt 1 in what should be observed here -- the object for electrode drawers -- as a conductor -- a conductor -- a plug is adopted and opening for contact with the 2nd-layer wiring to the 1st-layer wiring M1 (contact section) is located on electrode drawer opening.

[0051] That is, as shown in drawing 2 , the contact 13 to the 1st-layer wiring and the low resistive layer of a drain field and the contact 14 to the 1st layer and the 2nd-layer wiring are formed on the same shaft. The difference between this structure and the conventional technique is explained below with reference to drawing 45 and drawing 46 .

[0052] Drawing 45 is the top view showing the contact section of drain wiring of the conventional technique. On the other hand, drawing 46 is the top view showing the contact section of drain wiring of the semiconductor device which is this operation gestalt 1. In addition, the conventional technique said here has adopted the usual two-layer wiring technique tried by the artificer etc.

[0053] with the conventional technique which looked like [drawing 45] and was shown, the 1st-layer wiring 11 (M1) was connected to the direct drain field as an electrode drawer electrode (wiring) through the contact section (opening) 13 prepared in the 1st interlayer insulation film. And connection of the 2nd-layer wiring 12 (M2) for backing to the 1st-layer wiring 11 (M1) was made through the contact section 14 prepared in the 2nd interlayer insulation film so that it might not lap with the contact section 13. When the contact section 14 is arranged in piles on the contact section 13, a hollow is formed in the contact section 13 at the 1st-layer wiring 11. For this reason, when forming the contact section 14 with a photolithography technique, the etching remainder will exist in the contact section 14. Contact to the 1st-layer wiring 11 and the 2nd-layer wiring 12 will not accomplish certainly, but will cause increase of contact resistance. For this reason, there is a problem that effectiveness of backing wiring cannot be pulled out enough. Therefore, the contact section 14 and the contact section 13 needed to shift and arrange.

[0054] on the other hand -- this operation gestalt 1 -- the contact section for an electrode drawer -- a conductor -- the level difference was canceled in order to wire, after burying by the plug (metal plug). Therefore, as shown in drawing 46 , it becomes possible to carry out the contact sections 13 and 14 on the same axle, and there are advantages, such as improvement in a degree of freedom of a layout, improvement in the current capacity of contact, and reduction of contact and wiring resistance. namely, the N type source (low

resistance) field 10, the N type drain (low resistance) field 9, and the P type source punching field 3 -- it is alike, respectively and reduction of the receiving wiring resistance can be aimed at. Consequently, since on resistance can be reduced, high addition effectiveness of a semiconductor device can be planned.

[0055] In addition, adopting a metal plug technique with a CMOS transistor etc. is known well. For example, such a technique is indicated by JP,6-350042,A. Although [the above-mentioned official report] it is clear, a metal plug technique usually aims at the cure against a stage piece at the time of the upper circuit pattern formation. Especially, in consideration of the case where the 1st-layer wiring or the 2nd-layer wiring crosses, a metal plug technique is applied to an electrode drawer to a gate electrode (wiring).

[0056] However, according to this operation gestalt 1, the metal plug is applied under the situation that a gate electrode and the 2nd-layer wiring for drains (M2) do not cross. That is, this operation gestalt 1 is based on the way of thinking which is completely conventionally different from application of a well-known metal plug technique.

[0057] In addition, although drawing 2 shows the case where the number of the gate electrodes 3 is two, when the number of the gate electrodes 3 is four, as shown in drawing 83 , it serves as centering on Z-Z' shaft mirroring layout structure. In consideration of the balance of a drain current, even numbers of the gate electrode 3 are prepared so that each drain electrode (drain field) may be inserted.

[0058] The layout of the chip of the <chip layout> book operation gestalt 1 is shown in drawing 3 . The layout of the unit block section shown in drawing 3 has composition shown in drawing 2 explained previously.

[0059] The power metal-oxide semiconductor field effect transistor arranged in the chip shown in drawing 3 connects two or more unit blocks of drawing 3 to juxtaposition.

[0060] Namely, the channel field of plurality [principal plane / of the semi-conductor substrate with which this operation gestalt has a semi-conductor layer], The drain field and source field which were prepared across each above-mentioned channel field, It is. the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film -- A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section 22 for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section 23 for the gates as a unit block. Two or more arrangement of the insulated gate field effect transistor of the above-mentioned unit block is carried out at the principal plane of the above-mentioned semi-conductor substrate, and the 1st metallic conductor layer for the above-mentioned gates and the 2nd metallic conductor layer for the above-mentioned gates are connected between the above-mentioned unit blocks.

[0061] As shown in drawing 3 , two or more drain pads 22 meet one side of a chip, and the gate pad 23 and the source pad 20 are arranged along other sides of a chip. Among these, the source pad (source pad for probes) 20 is mainly used for a component actuation check by mounting, without using it. That is, this source pad 20 is formed in order to make easy the check of the power metal-oxide semiconductor field effect transistor in the wafer condition which is not divided into each chip of operation. The property of

each chip (MOSFET) can be inspected in the state of a wafer by making each pads 20, 22, and 23 in which the checking probe (prober) was prepared on the substrate top face at the time of a check of operation contact.

[0062] The protection diode 19 for electrostatic-discharge prevention of gate dielectric film is formed by the gate pad arranged to chip both ends. Hereafter, this gate protection diode is explained.

[0063] The configuration of gate protection diode is shown in <gate protection diode> [drawing 4](#) and [drawing 5](#) . [Drawing 4](#) is the top view which carried out partial expansion of the gate protection diode 19 shown in [drawing 3](#) . [Drawing 5](#) is a sectional view between D-D' in [drawing 4](#) .

[0064] In [drawing 4](#) ([drawing 5](#)), 21 is thick field oxide. Pattern formation of the gate pad 23 prepared on field oxide 21 is carried out to the 2nd-layer wiring 12 (M2) in one. And the gate pad 23 is connected to the P type low resistance field 4 through the 1st-layer wiring 11 (M1). P type low resistance field 4b formed in the shape of a ring so that this P type low resistance field 4, the N type quantity resistance field 8, and P type low resistance field 4a might be surrounded constitutes the diode (the Buck Thu back diode) of PNP structure. Pressure-proofing of this PNP structure can be designed to about **5-9V, and the surge voltage which appeared in the gate pad can be clamped and absorbed. In addition, the P type low resistance fields 4a and 4b are formed in the same process as the P type low resistance field 4 for contact shown in [drawing 1](#) .

[0065] Moreover, the metal plug P1 is adopted also as this gate protection diode. It connects with the P type field 8 (4), and the metal plug P1 of the shape of two stripe functions as a current flowing to homogeneity.

[0066] The manufacture approach of the silicon power metal-oxide semiconductor field effect transistor which is the <process> book operation gestalt 1 is explained below with reference to [drawing 6](#) - [drawing 29](#) .

[0067] In addition, in each of [drawing 6](#) - [drawing 9](#) , [drawing 14](#) , [drawing 20](#) , [drawing 23](#) , and [drawing 29](#) , the sectional view shown in (a) shows the X-X'Y-Y' [in / in the sectional view which showed the cutting cross section and was shown in (b) / [drawing 2](#)]' cutting cross section in [drawing 2](#) .

[0068] (1) The ion implantation process for P type blanking layer (P type through layer) formation : as shown in [drawing 6](#) (a) and (b), the semi-conductor wafer with which the P-type semiconductor layer 2 was first formed in the principal plane of the semi-conductor substrate 1 which consists of Si of the 1st conductivity type (specifically P type) is prepared. The P-type semiconductor layer 2 was formed by the well-known epitaxial grown method. Hereafter, the P-type semiconductor layer 2 is called a P type epitaxial layer.

[0069] As mentioned above, the specific resistance of the semi-conductor substrate 1 has 0.01-ohmcm. On the other hand, the specific resistance of the P type epitaxial layer 2 is higher than substrate specific resistance, and has 20ohmm. The thickness of an epitaxial layer 2 is set as the range of 2.5-3.5 micrometers in consideration of reduction of on resistance, and drain pressure-proofing. In this example, the thickness of an epitaxial layer 2 was set as 3 micrometers.

[0070] Then, the silicon oxidation (SiO₂) film 100 with a thickness of 10nm is formed in the front face of an epitaxial layer 2. And in order to form the ion implantation mask for P striking omission stratification, on SiO₂ film 100, a phot RIZOGURAFI technique is used and the photoresist pattern (mask) PR 1 is formed.

[0071] Then, etching removal of the front face of the silicon oxide film 100 and an epitaxial layer 2 is carried out using a mask PR 1. The front face of an epitaxial layer 2 is etched into a depth of about 50nm. Thereby, a level difference is formed in the front face of an epitaxial layer 2. This level difference can be used as a target for mask alignment.

[0072] Then, in order to form the P type blanking layer 3, the impurity in which the 1st conductivity type (P type) is shown is introduced by the ion ***** method in the epitaxial layer 2 in which the above-mentioned mask PR 1 is not formed. That is, the ion implantation of the boron (B⁺) of a P type impurity is alternatively carried out to the deep location of an epitaxial layer 2 on condition that acceleration energy 80keV and dose 1.5x10¹⁶/cm², using a mask PR 1.

[0073] (2) Field oxide formation process : the mask PR 1 shown in [drawing 6](#) and the oxidation silicone film 100 are removed. Then,

the field oxide 21 for dividing the unit block of MOSFET is alternatively formed with a LOCOS (Local Oxidation of Silicon) technique.

[0074] First, as shown in drawing 7 (a) and (b), silicon oxide 100a is formed in an epitaxial layer front face by thermal oxidation as a pad oxide film. This pad oxide film avoids that the insulator layer (oxidation-resistant insulator layer) which consists of the silicon nitride film used as the anti-oxidation mask formed succeedingly touches a direct silicon front face. When a silicon nitride film covers on a direct silicon front face, a thermal strain remains on the front face, and a crystal defect is caused. That is, a pad oxide film is formed as buffer film for preventing a crystal defect.

[0075] Then, the silicon nitride film 101 as an anti-oxidation mask is formed. And pattern formation of this silicon nitride film 101 is carried out using a photograph RIZOGURAHII technique.

[0076] And the left-behind silicon nitride film 101 is used as a mask, epitaxial layer 2 front face in which the silicon nitride film 101 is not formed is oxidized thermally, and field oxide (LOCOS oxide film) 21 with a thickness of 350nm is formed alternatively.

[0077] Thermal oxidation (heat treatment) at this process was performed on 1050 degrees C - 1100 degrees C and the processing conditions for about 30 minutes, and the important thing is accompanied by the enlargement diffusion of a P type impurity by which ion implantation was carried out here. Therefore, in an epitaxial layer 2, the P type blanking layer (P+) 3 which reaches the semi-conductor substrate 1 is formed at this time. That is, heat treatment for these formation is performed by once, without performing heat treatment of P striking omission layer 3 formation and field oxide 21 formation to the individual according to independence, respectively. That is, the heat treatment (annealing :) process for P type blanking layer 3 formation can be skipped.

[0078] Moreover, it can control that the boron impurity in the semi-conductor substrate 1 carries out autodoping (auto-doping) into the thin epitaxial layer 1 by the abbreviation of this heat treatment process. Control of the autodoping of this impurity can reduce the high impurity concentration of P wells (PW) 5 described later, and can bring about the effectiveness of on resistance reduction.

[0079] A silicon nitride film 101 and pad oxide-film 100a are removed, and the defect which exists in the front face of an epitaxial layer 2 is removed. Then, silicon oxide (100b) is formed in epitaxial layer 2 front face by thermal oxidation.

[0080] And annealing of field oxide 21 is performed at heat treatment temperature higher than the formation temperature of the above-mentioned silicon oxide (100b), and about 1050 degrees C. Annealing is an important means in order to obtain the power metal-oxide semiconductor field effect transistor of this embodiment 1 for the purpose of reducing the crystal defect which remains on the front face of the active region in which MOSFET is formed, and aiming at proof-pressure reservation of the gate oxide by thin-film-izing of gate oxide.

[0081] (3) P type -- a well -- 1st impurity installation process for field formation: -- it is shown in drawing 8 (a) and (b) -- as -- a drain formation field -- a wrap -- form the photoresist pattern (mask) PR 2 like.

[0082] Then, the impurity in which the 1st conductivity type is shown is alternatively introduced into epitaxial layer 2 front face in which the mask PR 2 is not formed. For example, the boron of p mold impurity is alternatively introduced in an epitaxial layer 2 with the energy which passes field oxide 21 by the ion implantation method. That is, in epitaxial layer 2 front face which touches field oxide 21, boron is introduced so that the impurity atom concentration profile after annealing treatment may serve as a peak mostly. Of this, as for the epitaxial layer 2 front face, the P type high concentration field as a channel stopper is formed. Ion implantation conditions are acceleration energy 200keV and dose $2.0 \times 10^{13}/\text{cm}^2$.

[0083] (4) P type -- a well -- 2nd impurity installation process for field formation: -- the above-mentioned 1st impurity installation process -- then, further, as shown in drawing 9 (a) and (b), where the above-mentioned mask PR 2 is left, introduce alternatively the impurity in which the 1st conductivity type is shown in an epitaxial layer 2. For example, the same boron as the above-mentioned 1st impurity installation process is alternatively introduced in an epitaxial layer 2 by the ion implantation method. Ion implantation conditions are acceleration energy 50keV and dose $1.0 \times 10^{13}/\text{cm}^2$.

[0084] performing two ion implantation gradually like the above-mentioned 1st and 2nd impurity installation process -- the well of the

depth direction -- concentration distribution can be made into homogeneity and heat treatment for enlargement diffusion (elevated-temperature annealing) can be avoided. In addition, the sequence of the above-mentioned 1st and 2nd impurity installation process may be reverse.

[0085] (5) -- ion implantation process for threshold voltage adjustment: -- although the drawing was omitted, after removing the mask PR 2 shown in [drawing 9](#), impurity installation for threshold electrical-potential-difference (V_{th}) adjustment is performed. For example, the ion implantation of the BF₂ ion is carried out to epitaxial layer 2 front face on condition that acceleration energy 50keV and dose $1.0 \times 10^{12}/\text{cm}^2$. then, the P type which extends and diffuses the impurity driven in by annealing treatment (950 degrees C, 60 seconds) at above (3) and (4) process, and serves as a channel formation field of MOSFET after washing epitaxial layer 2 front face -- a well -- a field (punch-through stopper layer) 5 is formed.

[0086] (6) Gate-dielectric-film formation process : remove silicon oxide 100b ([drawing 9](#)) which received the ion implantation damage, and expose the front face. and the exposed P type -- a well -- thickness forms in field 5 front face the gate oxide 6 which is 10nm or more and 12nm or less by thermal oxidation processing (refer to [drawing 10](#)). According to this operation gestalt 1, the thickness of gate oxide 6 is set up so that it may be set to $11 \pm 0.5\text{nm}$.

[0087] Gate dielectric film 6 may be replaced with the thermal oxidation film, and may apply the silicon oxide containing nitrogen, and the so-called acid nitride. In this case, the trap of a hot electron is reduced to the interface of gate dielectric film, and the cure against a hot carrier is attained. That is, according to the acid nitride, nitrogen (N) can be combined and termination of the trap of a film interface can be carried out.

[0088] Moreover, gate dielectric film 6 may apply SiO₂ film (thickness: 4nm) by thermal oxidation, and the laminating gate dielectric film which carried out the laminating of the SiO₂ film (thickness: 7nm) by the CVD method thicker than the SiO₂ film top on the SiO₂ film. As for SiO₂ film by the CVD method, the HLD (High Temperature Low Pressure Decomposition) film is specifically used. The TEOS (tetraethyl orthosilicate) ingredient which is the organic source is used, and the HLD film is excellent in thickness homogeneity, and takes effect to diffusion prevention of the impurity to the inside of the film. Especially adoption of such gate dielectric film is effective in the operation gestalt of the P gate and N channel mold Si power metal-oxide semiconductor field effect transistor described later. Because, in the case of a P type gate electrode, the compactness of gate oxide is spoiled by leak of the boron (impurity) contained in the electrode. For this reason, leak of boron is prevented by application of the above-mentioned laminating gate dielectric film, and can prevent proof-pressure degradation of gate dielectric film by it.

[0089] (7) As shown in conductor-layer formation process: for gate electrodes, then [drawing 10](#), cover polycrystalline silicon layer (doped polysilicon: doped poly-silicon) 7a containing the Lynn impurity with a thickness of about 100nm with a CVD method on gate oxide 6 front face. Then, in order to obtain a low resistance gate electrode, the laminating of metal silicide layer 7b with a thickness of about 150nm thicker than the polycrystalline silicon layer 7a, for example, the tungsten silicide (WSi) layer, is carried out to the front face of polycrystalline silicon layer 7a. The oxidation silicone film 20 with a thickness of 150nm is formed in a WSi layer 7b front face by the pyrolysis of an organic silane as a protective coat (cap layer). Preparing such a cap layer is not examined by the technical field of the RF power MOS until now, although well known for the technical field of CMOSLSI.

[0090] (8) The mask pattern formation process for gate electrodes : as shown in [drawing 11](#), form the photoresist pattern (mask) PR 3 for forming a gate electrode. The pattern width of face of a mask PR 3 specifies gate length, and it is formed so that it may be set to 0.35 micrometers or less.

[0091] (9) Gate electrode pattern formation process : the condition after gate electrode pattern formation is shown in [drawing 12](#). Pattern formation of the gate electrode 7 which consists of polycrystalline silicon layer 7a and WSi layer 7b is carried out using the mask PR 3 shown in [drawing 11](#) by etching the cap layer 20, tungsten silicide layer 7b, and polycrystalline silicon layer 7a one by one.

[0092] (10) drain offset field formation process: -- it is shown in [drawing 13](#) -- as -- the low concentration semiconductor region 8 -- P

type -- a well -- carry out self-align formation to the gate electrode 7 by the ion implantation method into a field 5. This low concentration semiconductor region (drain offset field) 8 aims at improving drain pressure-proofing. The ion implantation for forming the drain offset field 8 is performed on condition that ***** for Lynn which is an N type impurity, for example, acceleration energy 50keV, and dose $1.0 \times 10^{13}/\text{cm}^2$.

[0093] According to the experiment, the relation between a drain offset field (offset layer) and on resistance was as drawing 35 . Therefore, the depth of an offset layer was set to 0.2 micrometers or more.

[0094] (11) Source drain field formation process : as shown in drawing 14 (a) and (b), form the photoresist pattern (mask) PR 4 so that the part and the P type blanking layer 3 of the drain offset field 8 may be covered. Then, impurity installation for source drain field formation is performed using a mask PR 4. By the ion implantation method, the arsenic which is an N type impurity is acceleration energy 60keV and the conditions of dose $8.0 \times 10^{15}/\text{cm}^2$, lets the oxidation silicone film (gate oxide) 6 pass, and impurity installation is alternatively introduced in the low concentration semiconductor region 8.

[0095] (12) In order to form the front face of the contact field formation process P type blanking layer 3 into low resistance, as shown in drawing 15 , introduce into P type blanking layer 3 front face the fluoridation boron (BF₂) which is a P type impurity on condition that acceleration energy 40keV and dose $2.0 \times 10^{15}/\text{cm}^2$ using a mask PR 5. And annealing treatment is performed after this. This forms the P type contact field 4 in P type blanking layer 3 front face.

[0096] (13) Form the 1st insulator layer 20 completely on the semi-conductor substrate 1 as a 1st insulator layer (interlayer insulation film) formation process interlayer insulation film. First, as shown in drawing 16 , sequential formation of the plasma TEOS film 20B (thickness: 800nm) which was excellent in CVDSiO₂ film 20A (thickness: 100nm) and surface smoothness on the semi-conductor substrate 1 is carried out. Since it has the level difference on the gate electrode, a chemical machinery polish (CMP:Chemical-Mechanical Polishing) technique is used for the front face of this plasma TEOS film 20B, it is ground about 100nm and flattening is carried out.

[0097] Although adoption of a CMP technique was adopted in IC (LSI) until now, it was not adopted in the power metal-oxide semiconductor field effect transistor for RFs.

[0098] With this operation gestalt 1, adoption of this CMP technique can realize the metal plug described below, and the power metal-oxide semiconductor field effect transistor aiming at reduction of on resistance is obtained.

[0099] Then, as shown in drawing 17 , PSG film 20C (thickness: 300nm) is formed on plasma TEOS film 20B. The total thickness of the 1st insulator layer 20 is 1200nm, and is made thicker than two insulator layers (interlayer insulation film) described later. This is for reducing the parasitic capacitance of wiring.

[0100] CVDSiO₂ film 20A can be transposed to silicon nitride (SiN). Adoption of this silicon nitride blocks permeation of the hydroxide ion (OH⁻) to gate oxide, and is effective as a cure against a hot carrier.

[0101] (14) As shown in opening formation process drawing 18 for electrode drawers, form the photoresist pattern (mask) PR 6 on PSG film 20C. Then, as shown in drawing 19 , the 1st insulator layer (20) is alternatively removed using a mask PR 6, and the opening CH1 for electrode drawers is formed.

[0102] (15) As shown in metal plug formation process drawing 20 (a) and (b), form the metal plug P1 which consists of W (tungsten) in the opening CH1 for electrode drawers, respectively.

[0103] First, a TiN (titanium nitride) layer is formed in the 1st insulator layer (20) front face in which the opening CH1 for electrode drawers was formed by the sputtering method as a barrier layer so that W (tungsten) may not be spread in a semiconductor region (8 9). Then, the refractory metal layer which consists of W (tungsten), for example is formed with a CVD method. And etchback of the above-mentioned refractory metal layer and the barrier layer is carried out. Consequently, the 1st insulator layer 20 and the metal plug P1 which has the same side mostly are embedded in the opening CH1 for electrode drawers. That is, the metal plug P1 is connected,

respectively on the source field (the 1st field) 10, the drain field (the 2nd field) 9, and the reach through layer 3. [0104] (16) As shown in 1st conductor-layer (the 1st-layer wiring) formation process drawing 21 , form the 1st conductor layer (the 1st-layer wiring) M1 by the sputtering method on the 1st insulator layer 20. The 1st conductor layer consists of the aluminium alloy which has low resistance and migration-proof nature. An AlCu alloy is adopted as a more concrete ingredient. The thickness is about 400nm. Then, as shown in drawing 22 , the photoresist pattern (mask) PR 7 is formed on the 1st conductor layer M1. And as shown in drawing 23 (a) and (b), patterning of the 1st conductor layer M1 is carried out using a mask PR 7.

[0105] (17) Form the 2nd insulator layer 30 completely on the semi-conductor substrate 1 as a 2nd insulator layer (interlayer insulation film) formation process interlayer insulation film. As shown in drawing 24 , sequential formation of plasma TEOS film 30A (thickness: 300nm), SOG film 30B (thickness: 300nm), and plasma TEOS film 30C (thickness: 300nm) is carried out on the semi-conductor substrate 1. SOG film 30B is formed in order to ease the level difference of plasma TEOS film 30A.

[0106] (18) As shown in opening formation process drawing 25 for wiring connection, form the photoresist pattern (mask) PR 8 on the 2nd insulator layer 30. Then, as shown in drawing 26 , using the above-mentioned mask PR 8, the 2nd insulator layer 30 (30A, 30B, 30C) is removed alternatively, and the opening CH2 for wiring connection is formed. In addition, drawing 26 shows the cross-section structure of the semiconductor device after removing the above-mentioned mask PR 8.

[0107] (19) As shown in 2nd conductor-layer (the 2nd-layer wiring) formation process drawing 27 , form the 2nd conductor layer (the 2nd-layer wiring) M2 on the 1st insulator layer 30 by the same approach as the 1st conductor layer M1. Moreover, the ingredient as the 1st conductor layer also with the same ingredient of the 2nd conductor layer (the 2nd-layer wiring) M2 is chosen. However, compared with film Atsu of the 1st conductor layer M1, the thickness is about 4 times and is attaining low resistance-ization as backing wiring.

[0108] Then, as shown in drawing 28 , the photoresist pattern (mask) PR 9 is formed on the 1st conductor layer M1.

[0109] And as shown in drawing 29 , using a mask PR 9, patterning of the 2nd conductor layer M2 is carried out, and the drain electrode (drain wiring) D and source electrode (source wiring) S (1) are formed. Source electrode (source wiring) S (1) carries out electrical installation of the source wiring of the 1st layer between each cel and during each block (M1). In addition, drawing 29 shows the cross-section structure of the semiconductor device after removing the above-mentioned mask PR 9.

[0110] (20) Although not illustrated to source rear-face electrode formation process drawing 29 , remove the surface protective coat alternatively so that a surface protective coat may be formed after the above-mentioned (19) process on the drain electrode (drain wiring) D and the source electrode (source wiring) (1) S and the pad section may be exposed. Then, grinding of the rear face (inferior surface of tongue) of the semi-conductor substrate 1 is carried out, and the thickness is made thin. This grinding is performed as pretreatment for making it a semiconductor chip from a semi-conductor wafer. And a source rear-face electrode is formed in the rear face by carrying out the laminating of nickel layer (thickness: about 0.1 micrometers), Ti layer (thickness: about 0.15 micrometers), nickel layer (thickness: about 0.2 micrometers), and the good Ag layer (thickness: 1.3 micrometers) of soldering nature one by one. The upper Ti layer is formed for [with Ag layer] an adhesive property for the adhesive property between nickel layer whose lower layer Ti layer is a barrier layer, and Si substrate.

[0111] In addition, Ag layer must be attached in a module substrate (soldering), and must sometimes pay attention to Ag layer exfoliation by oxidation. It may replace with Ag layer and Au layer may be used. In this case, since exfoliation of Au layer is not produced at the time of soldering, low resistance contact to a module substrate can be aimed at.

[0112] According to this process, the following effectiveness is acquired.

[0113] (a) The thermal oxidation (heat treatment) performed at the above-mentioned process (2) is accompanied by the enlargement diffusion of a P type impurity by which ion implantation was carried out.

[0114] Therefore, in an epitaxial layer 2, the P type blanking layer (P+) 3 which reaches the semi-conductor substrate 1 is formed at

this time. That is, heat treatment for these formation is performed by once, without performing heat treatment of P striking omission layer 3 formation and field oxide 102 formation to the individual according to independence, respectively. For this reason, the heat treatment (annealing) process for P type blanking layer 3 formation can be skipped.

[0115] (b) The autodoping of the impurity from a substrate to an epitaxial layer can be controlled for the reason of the above (a). For this reason, it is easy to control the high impurity concentration of P wells (PW), and it can be stopped low. Therefore, even if it shortens gate length for on resistance reduction, pressure-proofing can be secured enough.

[0116] Therefore, simplification of a heat treatment process will contribute to on resistance reduction.

[0117] (c) For the reason of the above (a) and (b), thickness of an epitaxial layer 2 did not have to be thickened and the thickness became possible [making it 2.5 micrometers or more and 3.5 micrometers or less] in consideration of pressure-proofing of a target. For this reason, the formation depth of the P type blanking layer (P+) 3 also becomes shallow, and will contribute to on resistance reduction.

[0118] (d) after a field oxide formation process -- P -- since the well (PW) is formed -- the P -- a well is not influenced of heat treatment at the time of field oxide formation. That is, P wells are not exposed to an elevated temperature 1000 degrees C or more. For this reason, it is easy to control the high impurity concentration of P wells (PW), and it can be stopped low. Therefore, even if it shortens gate length for on resistance reduction, pressure-proofing can be secured enough. therefore, the above P -- a well -- the sequence of a formation process will contribute to on resistance reduction.

[0119] (e) As the above-mentioned (4) process described, a formation process is performed by two steps of ion implantation P well. Therefore, the elevated-temperature annealing treatment for enlargement diffusion is unnecessary. That is, the annealing treatment in the above-mentioned (5) process can be made to serve a double purpose. For this reason, process simple *****. Moreover, it will contribute to on resistance reduction for the same reason as the above (d).

[0120] (f) the above-mentioned (2) process described -- as -- after field oxide formation -- it is -- the well of the above-mentioned (3) process -- by performing annealing treatment in advance of field formation, the crystal defect which remains on the front face of the active region in which MOSFET is formed can be reduced, and proof-pressure reservation of the gate oxide by thin-film-izing of gate oxide can be aimed at.

[0121] (g) As the above-mentioned (10) process described, a drain offset field (die length) is prescribed by the mask PR 4, and has not adopted the LDD structure using a sidewall. That is, a high resistance field like a drain offset field is made not to be formed in a source field side. Thereby, reduction of on resistance can be aimed at with the improvement in a drain proof pressure.

[0122] The formation conditions of MOSFET in the <formation condition of MOSFET> book embodiment 1 are described below.

[0123] The resistance component of the MOSFET chip in this example is explained with reference to drawing 30 .

[0124] Drawing 30 is the resistance model of MOSFET in connection with the operation gestalt 1 shown in drawing 1 . The resistance RON0 was excluding resistance of the whole chip and excluding [Ron] resistance of RON0 to a P type blanking layer, and a substrate (the source is taken out from a substrate front face and it is resistance of a case), R1 -- for source wiring resistance and R3, source blanking layer resistance and R4 are [drain wiring resistance and Rr / resistance of an offset field, and Rc / channel resistance and R2 / resistance of a P type substrate and R5] total resistance with R3 and R4.

[0125] In explaining the effectiveness of this operation gestalt 1, in order to separate an MOSFET body and the effect by the substrate rear-face electrode, henceforth, on resistance sets to Ron instead of RON0, and uses Ron-Wg standardized with gate width Wg. Moreover, also with the mutual conductance from the same idea, and a threshold electrical potential difference, as long as there is no notice, it considers as the engine performance of FET which took out the source from a substrate front face. The gate length of this operation gestalt 1, gate oxide thickness, and an offset layer are explained.

[0126] The relation of the gate oxide thickness and on resistance which took into consideration the gate proof pressure (oxide-film

permissible electric field) to [drawing 31](#) is shown. The relation between gate length and on resistance is shown in [drawing 32](#) , and the relation between gate length and a mutual conductance is shown in [drawing 33](#) , respectively. The relation between gate length and a threshold electrical potential difference is shown in [drawing 34](#) . Moreover, the offset layer depth and the relation of on resistance are shown in [drawing 35](#) . The relation between offset length and on resistance is shown in [drawing 36](#) , and offset length and drain pressure-proofing are shown in [drawing 37](#) , respectively.

[0127] In [drawing 31](#) , in order to obtain need upper-limit mm of 4ohms of on resistance, it is important that gate oxide is thin, and on the other hand from a viewpoint of the dependability of gate oxide, 10nm or more of thickness which does not have a dependability top problem to 5V in the maximum of the input amplitude in GSM application is required. Consequently, in consideration of dispersion, the thickness of gate oxide is set up with 10nm or more and 12nm or less. Also in [drawing 32](#) and [drawing 33](#) , reduction of on resistance and improvement in a mutual conductance are achieved by compaction of gate length, and less than [4ohmmm] and a mutual conductance are obtained for on resistance 150 mS(s)/more than mm in 0.35 micrometers of gate length. That is, the direction die length of a channel of a gate electrode is set as 0.35 micrometers or less.

[0128] In addition, these results show the case where it measures from a surface source electrode. Moreover, the conventional technique here means the power metal-oxide semiconductor field effect transistor for RFs set to 20nm in 0.4 micrometers of gate length, 0.7 micrometers of offset length, and gate oxide thickness.

[0129] As gate length is shown in [drawing 34](#) , Lowering of a threshold electrical potential difference becomes severe, and about 0.3 micrometers of gate length are specification central value. Incidentally, in MOSFET of this example, by making the whole process into low temperature treatment (heat treatment of 1200 degrees C or less), the threshold electrical potential difference shows the **** channel property, and Lowering is stopped even to short gate length compared with the case of structure conventionally without a **** channel property. About the offset field (offset layer), as shown in [drawing 35](#) , a depth of 0.2 micrometers or more with little change of resistance is set up, and offset length makes the design value 0.4 micrometers or more and 0.8 micrometers or less from [drawing 36](#) and [drawing 37](#) . The reason for having chosen this die length is because it is the field where drain pressure-proofing is decided by the drain low resistive layer side, and parasitism bipolar actuation cannot take place easily and on resistance is also a value low enough. The relation between the punch-through stopper layer (P type shown in [drawing 1](#) a well field 5) of this operation gestalt 1 and on resistance is shown in [drawing 38](#) , and the relation between drain pressure-proofing and the location of a punch-through stopper layer is shown in [drawing 39](#) , respectively. The location of the drain edge of a gate electrode is made into criteria (zero), distance by the side of a drain is considered as plus (+), and the source side is considered as minus (-). Although on resistance falls by shifting a punch-through stopper to a source side, bordering on near zero, pressure-proofing is a minus side and falls. This is for the punch-through between a drain and the source to occur, and 0 or more and 0.2 micrometers or less are suitable for the location of this relation to a punch-through stopper. Next, the substrate formation conditions of MOSFET of this operation gestalt are explained below.

[0130] The resistivity of the blanking layer at the time of changing epitaxial layer thickness into [drawing 41](#) for the depth direction concentration distribution near the blanking layer at the time of changing epitaxial layer thickness into [drawing 40](#) (B-B' side of [drawing 1](#)) is shown, respectively. Moreover, the concentration distribution near an offset layer (C-C' side of [drawing 1](#)) is shown in [drawing 42](#) , and epitaxial layer thickness and pressure-proofing (drain) are shown in [drawing 48](#) , respectively.

[0131] In [drawing 40](#) and [drawing 41](#) , by 4 micrometers, epitaxial layer thickness pierces, and is not connected with a layer, but needs to make it 3.5 micrometers or less.

[0132] Moreover, in [drawing 42](#) and [drawing 43](#) , pressure-proofing with a drain N type layer serves as value with epitaxial layer thickness sufficient required by 2.5 micrometers or more. 2.5 micrometers or more and 3.5 micrometers or less are suitable for the thickness of the high resistive layer (epitaxial layer) formed on the low resistance semi-conductor substrate from this. The comparison of the static characteristic of MOSFET of the conventional technique of this invention and 0.4 micrometers of gate length was shown in

drawing 44 . This is the case where it is the component whose gate width is both 36mm, and the extensive improvement is made by this inventions, such as on resistance, a mutual conductance, and the saturation current.

[0133] Next, the Taishin number RF property of the MOSFET chip of this operation gestalt 1 (this invention) is shown in drawing 47 . Drawing 47 is the output power at the time of inputting a 900MHz sinusoidal signal in supply voltage 3.5V and bias current regularity on the assumption that GSM application, and the relation of addition effectiveness. This invention is compared with the conventional technique and the former gate width of 28mm and the latter is 36mm. The output side is tuned up so that addition effectiveness may both serve as a peak by output power 2.0W. As shown in this drawing, in this invention, it is improving about 5% at the effectiveness of a peak to the conventional technique, and 65% is realized. Next, the gate width dependency of the Taishin number RF property of the chip of this invention is shown in drawing 48 . Although the property shown in drawing 48 is measured like the property shown in above-mentioned drawing 47 , the optimal tuning for acquiring effectiveness for every gate width is performed. The gate width more nearly optimal than this drawing 48 for acquiring 65% or more of addition effectiveness by 2W is understood that about 28mm is good. 24 to at least 32mm, the engine performance according to this is obtained. As a result of similarly considering PCS application and 1900MHz's estimating the Taishin number property, about 55% of addition effectiveness at output 1 W:00 was realized with the gate width of 12mm.

[0134] The circuitry of the amplifier which used MOSFET of this operation gestalt for <configuration of amplifier> drawing 49 is shown. The amplifier shown in drawing 4 is the three-step amplifying circuit of GSM application, and one MOSFET (1chip) is used for an input stage and the middle by each. And two MOSFETs (2chips) are used for an output stage, and the juxtaposition matching circuit (DD-CIMA:Divided and Collectively Impedance Matched Amplifier) is constituted. For an input stage, as gate width (Wg) of MOSFET, 6mm and the middle are [18mm and an output stage (2chips)] 28mm. I/O adjustment by the stripline 100 and the chip capacitor is performed about each component, and it is designing so that output power may be pulled out efficiently. Output power is controlled by the bias voltage for operating point control being built over the input of each stage by resistance division, and controlling this electrical potential difference.

[0135] Above-mentioned DD-CIMA is the approach of being developed as a solution of the property that output voltage is saturated if gate width is enlarged, allotting a component (chip) to 2 juxtaposition as an output stage of the module which requires high power, and performing juxtaposition adjustment (reference 2). By this circuit technique, twice [about] as many output power as the output power which one component can take out is obtained. Moreover, it excels in heat leakage nature by having divided the chip.

[0136] Drawing 50 shows the package module which incorporated this amplifier in the package. 500 is the laminating mold ceramic package of multilayer-interconnection structure. The microstrip line 501 by metal plating is formed in the front face of a package 500. In this module, about 55% of overall efficiency at saturation power power 4W and output 3.5 W:00 is realized on the frequency of 900MHz, supply voltage 3.5V, and the conditions of 0dBm of input power.

[0137] In addition, although the modularization of the discrete articles, such as MOSFET, a capacitor, and resistance, is carried out in this example, the technique of this invention is applied also about the circuit which integrated these all or a part. moreover, the device of the structure where each stage of a three-step amplifying circuit is not necessarily the same -- it is not necessary to use -- for example, the first rank and the middle -- since high interest profit is required, the short component of gate length or offset length may be used for a component

[0138] (Operation gestalt 2) Other operation gestalten of this invention are explained with reference to drawing 56 from drawing 51 .

[0139] <Cross-section structure of primitive cell> drawing 51 is the sectional view of MOSFET in the structure 2 which thickened oxide film thickness of the gate electrode both ends of said operation gestalt 1, i.e., the operation gestalt which has Gate Bird's Beak. Drawing 52 shows the gate of this operation gestalt 2, and the electrical-potential-difference dependency of the capacity between drains. And the relation between small-signal gain and a frequency is shown in drawing 53 .

[0140] In drawing 51 , the oxide-film thickness of gate both ends has constituted the taper configuration (or BAZU beak configuration of appearing by LOCOS selective oxidation), by the thickness of the 30nm of the maximum thickness to 10nm in gate oxide thickness.

[0141] Namely, the semiconductor device concerning this operation gestalt 2 The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate located in one principal plane of the above-mentioned semi-conductor substrate, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The 1st thickness (6a) of the gate dielectric film which exists while the 3rd field of the above and a gate electrode overlap is larger than the 2nd thickness (6b) of the gate dielectric film on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above.

[0142] Thereby, as shown in drawing 52 , the gate and the capacity (Cdg) between drains were reduced about 20% by considering as 10 to 30nm conditions. A measuring method is as the circuitry shown in drawing 52 . Reduction of the gate and the capacity (Cdg) between drains can bring about the reduction of feedback capacity (Crss) for which RF actuation of high gain is asked.

[0143] Moreover, as shown in drawing 53 , small-signal gain is also improving by about 0.5dB near the frequency of 900MHz.

[0144] According to this operation gestalt 2, electric-field relaxation can be aimed at by having prepared the BAZU beak. And in less than 0.005 micrometers, the depth from the front face of the offset layer 8 makes the surface high impurity concentration $1 \times 10^{19} \text{cm}^{-3}$ three or more peak value, and becomes possible [aiming at on resistance reduction further].

[0145] With this operation gestalt 2, although the drain of a gate electrode and oxide-film thickness of source both sides are thickened, if only a drain side is essentially thickened, the purpose will be attained. The operation gestalt is described later.

<Process> The following processes are performed following the process (9) of said operation gestalt 1, and (refer to drawing 12).

[0146] (9-1) As shown in drawing 54 , form an oxide film 21 alternatively by thermal oxidation. A BAZU beak is formed in a gate electrode edge at this time. That is, an oxide film (the maximum thickness: 30nm) thicker than gate oxide (10nm in thickness) is formed in a gate electrode edge subordinate.

[0147] (9-2) Then, as shown in drawing 55 , impurity installation for drain offset field formation is performed through silicon oxide 21. namely, the low concentration semiconductor region (drain offset field) 8 -- P type -- a well -- self-align formation is carried out to the gate electrode 7 by the ion implantation method into a field 5. The ion implantation for forming the drain offset field 8 is ***** for Lynn which is an N type impurity.

[0148] Then, a process and from (11) source drain field formation process to (20) source rear-face electrode formation process stated with said operation gestalt 1 is performed.

[0149] By the above approach, the power metal-oxide semiconductor field effect transistor shown in drawing 56 is completed.

[0150] (Operation gestalt 3) Other operation gestalten of this invention are explained with reference to drawing 60 from drawing 54 .

[0151] The <cross-section structure of primitive cell> book operation gestalt 3 is the modification of said operation gestalt 2, and only the drain side of a gate electrode thickens a part of gate oxide (refer to drawing 60).

[0152] <Process> The following processes are performed following the process (9) of said operation gestalt 1, and (refer to drawing 12).

[0153] (9-1) As shown in drawing 57 , form a silicon nitride film 200 on the semi-conductor substrate 1.

[0154] (9-2) Then, as shown in drawing 58 , remove a silicon nitride film 200 alternatively so that the gate electrode edge by the side of a drain may be exposed. And Gate Bird's Beak is formed only in a drain side by thermal oxidation by using a silicon nitride film 200 as a mask.

[0155] (9-3) Then, as shown in drawing 59 , impurity installation for drain offset field formation is performed through silicon oxide 21. namely, the low concentration semiconductor region (drain offset field) 8 -- P type -- a well -- self-align formation is carried out to the gate electrode 7 by the ion implantation method into a field 5.

[0156] Then, the process from the process (11) of said operation gestalt 1 to a process (20) is performed.

[0157] By the above approach, the power metal-oxide semiconductor field effect transistor shown in drawing 60 is completed.

[0158] (Operation gestalt 4) The operation gestalt 4 of this invention is explained with reference to drawing 61 .

[0159] This operation gestalt 4 offers the N gate MOS where the drain offset field 8 was formed only in the drain field 9 side.

[0160] According to this operation gestalt 4, as shown in drawing 61 , a deep N type quantity resistance field like the drain offset field 8 is not established in a source side (N type source field 10 which has high high impurity concentration). Therefore, like said operation gestalt 1, the amount of overlap of the gate electrode by the side of the source and an N type field (source field 10) is small compared with the case where the drain offset field 8 exists, and effectiveness is in a source side for an improvement of a short channel property.

[0161] Ion implantation for the process of this operation gestalt 4 to be the phase of said process (10), and form the drain offset field 8 only in a drain side using a mask according to the process of said operation gestalt 1, is performed. In this case, compared with said operation gestalt 1, a HOTORIZO process will increase once.

[0162] (Operation gestalt 5) The operation gestalt 5 of this invention is explained with reference to drawing 62 and drawing 63 .

[0163] Drawing 62 is a sectional view at the time of raising the concentration near the front face of a drain offset field. This structure is effective in order to reduce the rate of degradation of the on resistance under the effect of the hot electron poured into the oxide film on an offset field. After performing the ion implantation for the offset field 8 formation which **1**(ed) , As (arsenic) ion is driven into the front face of the offset field 8 on 20keV(s) and about two 3×10^{13} atoms/cm ion implantation conditions, and 2nd offset field 8a is formed. At this time, the surface concentration of a gate edge becomes the most important. That is, the rate of degradation of on resistance and the relation of the gate edge surface concentration of an offset layer by the hot electron are shown in drawing 63 . Although about 25% of degradation was produced without the cure, it became possible by making surface concentration into 1×10^{18} atoms/cm³ according to this structure to stop the rate of degradation to 10% or less. the effect of the electron poured in into the oxide film when this raised surface concentration -- the offset layer of N type -- winning popularity -- hard -- ***** -- it is based on things.

[0164] The manufacture approach of the operation gestalt 5 of this invention is (10) drain offset field formation process in the operation gestalt 1 mentioned above, and the ion implantation for the ion implantation for offset field 8 formation and the 2nd offset field 8a formation is performed one by one.

[0165] (Operation gestalt 6) The operation gestalt 6 of this invention is explained with reference to drawing 64 . In addition to the punch-through stopper 5 of said operation gestalt 1, drawing 64 prepares P type pocket layer 5a which has high impurity concentration higher than the high impurity concentration of an epitaxial layer 2 in a location deeper than the offset field 8. Under the N type drain field 9, it has the P type layer 201 formed in pocket layer 5a and coincidence. The P type layer 201 under this pocket layer 5a and the drain field 9 is formed by slanting placing of B (boron) ion using the photoresist for example, at the time of N type source drain field formation. Pocket layer 5a is effective in control of Lowering of a threshold electrical potential difference. Moreover, the P type layer 201 under the drain field 9 is effective in separating the breakdown point of MOSFET from the channel section.

[0166] Therefore, an improvement of a short channel property and improvement in the disruptive strength of a component were attained according to this operation gestalt 6.

[0167] (Operation gestalt 7) The operation gestalt 7 of this invention is explained with reference to drawing 65 and drawing 66 . Drawing 65 and drawing 66 show the sectional view and block top view of power metal-oxide semiconductor field effect transistor where gate wiring (the 1st-layer wiring) is arranged in parallel with the gate electrode, respectively. Drawing 65 is the E-E' cutting sectional view shown in drawing 66 . According to the operation gestalt 1 described previously, a gate electrode and the 1st-layer wiring 11 (M1) connected to the gate electrode cross at right angles, is prolonged in the periphery of a unit block and is arranged at it. According to this operation gestalt 7, gate wiring (the 1st-layer wiring) is arranged in parallel with a gate electrode, and is backed by the gate electrode.

[0168] In drawing 65 , 300 is the 1st-layer wiring for gate shunts prepared for gate wiring resistance reduction. In order that the 1st layer wiring of a drain and gate wiring may counter mutually, the parasitism wiring capacity between a drain and the gate becomes large, but since the number of gate wiring turns into a gate electrode number and the same number and the number of the description of this operation gestalt 6 of gate wiring increases as compared with an embodiment 1, effectiveness has it in reduction of gate wiring resistance. It is applied when gate resistance is effective against a RF property from a drain and the capacity between the gates.

[0169] (Operation gestalt 8) The operation gestalt 8 of this invention is explained with reference to drawing 67 .

[0170] The top view (electrode pattern layout) shown in drawing 67 is deformation of the operation gestalt 1 shown in drawing 2 . According to this operation gestalt 8, the 2nd-layer wiring for the gates is taken by one from the center of a unit block. Thereby, as shown in drawing 2 , compared with the case where the 2nd-layer wiring for the gates has been arranged, the distance from a gate pad to each MOSFET cell becomes equal at the periphery both sides of a unit block. Therefore, a gap of each FET cell paste and the timing of operation by the phase shift of the input signal of the gate becomes small, and can lessen power loss in the whole chip.

[0171] (Operation gestalt 9) Drawing 68 is the layout which did not perform the shunt of the gate by metal wiring (the 1st-layer wiring), but put the short gate electrode in order. In this case, the parasitism wiring capacity between a drain and the gate can be reduced.

(Operation gestalt 10) The operation gestalt 10 of this invention is explained with reference to drawing 69 and drawing 70 .

[0172] Drawing 69 and drawing 70 are the modifications of said operation gestalt 7, and show the sectional view and top view of power metal-oxide semiconductor field effect transistor in which the source-field plate 400 was formed, respectively. Drawing 70 is the F-F' cutting sectional view shown in drawing 69 .

[0173] According to this operation gestalt 10, as shown in drawing 69 , some 1st-layer wiring for the sources is prolonged on the offset field 8, and it constitutes the source-field plate 400. That is, as shown in drawing 70 , like this operation gestalt 7, gate wiring (the 1st-layer wiring) is arranged in parallel with a gate electrode, and is backed by the gate electrode. And the 1st-layer wiring 11 for the sources is inserted in the source-field plate 400 between drain wiring and gate shunt wiring in the shape of a stripe along with the gate electrode 7. It is fixed to touch-down potential and this field plate 400 has the effectiveness of the improvement in a drain proof pressure by electric-field relaxation of the offset field 8.

[0174] (Operation gestalt 11) The operation gestalt 11 of this invention is explained with reference to drawing 71 and drawing 72 .

[0175] Drawing 71 is the top view of the gate protection diode which is this operation gestalt 11. And drawing 72 is the cutting sectional view of the G-G' line in drawing 71 .

[0176] The gate protection diode (drawing 4 , 5 reference) of the operation gestalt 1 is connected to the gate pad by the 2nd-layer wiring. On the other hand, with this operation gestalt 11, as shown in drawing 72 , it is the 1st-layer wiring and the gate pad and the gate electrode are already connected for diode.

[0177] It became possible to prevent destruction of the gate oxide by process damages, such as the charge up in the process after the 1st-layer wiring, by this.

(Operation gestalt 12) The operation gestalt 12 of this invention is explained with reference to drawing 73 .

[0178] Drawing 73 arranges two elements of MOSFET of this invention used for the output stage of the amplifying circuit shown in drawing 49 in 1 chip. Between both gate and a drain is connected with the resistance R of about 10ohms, respectively, and it is. This resistance uses for example, a gate electrode material.

[0179] According to this operation gestalt 12, it became reduction of two engine-performance dispersion reducible [the chip occupancy area in a module].

(Operation gestalt 13) The operation gestalt 13 of this invention is explained with reference to drawing 74 .

[0180] Drawing 74 arranges the power metal-oxide semiconductor field effect transistor used for the input stage of the amplifying circuit shown in drawing 49 , and the middle in 1 chip. Although the semi-conductor substrate 1 is common since it is a source grounded circuit, both gate and a drain are insulated electrically. Under the present circumstances, as a shielding means, a P type low resistance (reach through) layer is prepared among both, and the structure which prepared the wiring layer is adopted as a substrate front face, for example. A special process for such structure to form a shielding means is not needed, but is acquired in the process which forms the power metal-oxide semiconductor field effect transistor of the operation gestalt 1. Also according to this operation gestalt 13, it became reducible [the chip occupancy area in a module]. Moreover, with this operation gestalt 13, in order to gather the area effectiveness of a modular layout, two MOSFETs are arranged due to the vertical contrary.

[0181] Moreover, in the amplifier treating two different frequencies, and the so-called amplifier for dual bands, a part for two sets of multistage amplifying circuits is included in one module. For this reason, two sets also of chips shown in drawing 74 are also arranged. in this case, the first rank of one chip -- the middle of ** FET and the chip of another side -- since it is lost, the stable actuation of FET which adjoins by using ** FET and constituting each amplifying circuit operating to coincidence is attained.

[0182] (Operation gestalt 14) The operation gestalt 14 of this invention is explained with reference to drawing 75 .

[0183] Drawing 75 adds MOSFETs for current detection to the chip of the operation gestalt 12 shown in drawing 73 . The cellular structure of MOSFET is the same as that of an output stage component, and the gate width is set about [of an output stage component] to 1/1000. The monitor of the current which flows for an output stage component is carried out by this, and it is made to feed back to a control circuit. Moreover, MOSFET else [for current detection] may be added as a switching device. This is application of a dual band etc., and when carrying out off actuation of the component completely, it is used. Since such an MOSFET is the structure which the gate and a drain terminal exposed, it is making the protection component connected to each terminal build in. Since gate width of Ms is small, when the forward high voltage joins a drain terminal in time, it cannot absorb the energy with a breakdown current, but results in destruction. Moreover, also in a negative electrical potential difference, body diode turns on, and although a current flows, it destroys, without current capacity being lacking. As a cure of these both, it has pressure-proofing equivalent to FET, and the diode of sufficient size is used as a protection component.

[0184] (Operation gestalt 15) The semiconductor device (a P gate and N channel mold Si power-metal-oxide-semiconductor-field-effect-transistor-gate MOS) which is the operation gestalt 15 of this invention is explained with reference to drawing 78 and drawing 82 from drawing 76 . As for this operation gestalt 15, the description is turned to a gate electrode and bulk structure for on resistance reduction.

[0185] <Cross-section structure of primitive cell> drawing 76 is the sectional view of the primitive cell which consisted of P gate MOSs which are the operation gestalten 15 of this invention.

[0186] The P type silicon semi-conductor (epitaxial) layer 2 in which P gate MOS shown in drawing 76 has low high impurity concentration rather than the P type silicon semi-conductor substrate 1 and the above-mentioned substrate located in one principal plane of a substrate, The 1st N type field (source field) 10 and the 2nd N type field (drain field) 9 which estranged mutually and were prepared in the principal plane of the epitaxial layer, It is between the source field 10 in the principal plane of an epitaxial layer, and

the drain field 9. The 3rd N type field 8 in which it is estranged from the source field and was located in contact with the drain field and which has low high impurity concentration rather than the drain field 9 (offset field), It is on the principal plane of the field in which it is located between the source field 10 and the offset field 8, and a channel is formed. So that an edge may overlap, respectively and may carry out termination of the source field 10 and the offset field 8 on the source field 10 and the offset field 8, respectively Gate dielectric film six The gate electrode 7 of the P type formed by minding, and the 1st electrode S (1) and the 2nd electrode D which were electrically connected to each of the source field 10 and the drain field 9 And it has the 3rd electrode S (2) connected to the principal plane of another side opposite to one principal plane of the semi-conductor substrate 1. The impurity atom concentration profile in the field (P type a well field) 5 in which the channel located between the source field 10 and the offset field 8 is formed includes the N type distributional area 55 which decrease in number toward the semi-conductor substrate 1 from a front face. the P type shown in drawing 82 at drawing 76 -- a well -- impurity distribution of a field 5 (G-G' cutting part) is shown.

[0187] According to this operation gestalt 15, when the gate electrode carried out to the P-type semiconductor, i.e., a P gate, compared with N gate (a gate electrode is an N-type semiconductor), threshold voltage V_{th} will go up by relation of a work function difference by 1V. For this reason, in spite of having formed the N type layer 55 in the P-type semiconductor field front face, no MARI OFU, i.e., an enhancement condition; can be maintained in the condition of not giving gate voltage. And as shown in drawing 77, existence of this N type layer 55 will bring about the operation which extends stretch of the depletion layer (Depletion layer) 400 from drain junction (Jd), and is not especially influenced of a gate oxide interface by the N type layer 55 in the arrow-head A section. For this reason, drain pressure-proofing improves. So, when designing P gate MOS which has drain pressure-proofing of the same desired value as the N gate MOS, concentration of a drain offset field can be made high. That is, it is because it became unnecessary to extend a depletion layer to a drain offset field side. That concentration of an offset field can be made high can attain low resistance-ization of a drain offset field compared with the N gate MOS. For this reason, it will contribute to on resistance reduction.

[0188] The layout of a unit block of the <layout of unit block> book operation gestalt 15 is as being shown in drawing 2 like this operation gestalt 1. Therefore, the explanation is omitted.

[0189] The chip layout of the <chip layout> book operation gestalt 15 is as being shown in drawing 3 like this operation gestalt 1. Therefore, the explanation is omitted.

[0190] The gate protection diode of the <gate protection diode> book operation gestalt 15 is as being shown in drawing 4 and drawing 5 like this operation gestalt 1. Therefore, the explanation is also omitted.

[0191] The manufacture approach of P gate MOS which is the <process> book operation gestalt 15 is explained below with reference to drawing 78 (a) and (b).

[0192] Following the process (3) of the operation gestalt 1, as shown in drawing 78 (a) and (b), compared with Lynn (P), the late arsenic (As) of a diffusion rate is alternatively introduced in an epitaxial layer 2 by the ion implantation method using a mask PR 2. Ion implantation conditions are acceleration energy 80keV and dose $4.5 \times 10^{11}/\text{cm}^2$. Then, annealing treatment (950 degrees C, 60 seconds) is performed, and the N type field (N type field 55 shown in drawing 76) which has peak value (about $6 \times 10^{16}/\text{cm}^3$) for high impurity concentration in a front face is formed. By having used the arsenic (As) as an impurity which forms the N type field 55 as mentioned above, it is hard to diffuse the impurity inside an epitaxial layer, and it can maintain N type field 55 front face to high concentration.

[0193] Then, after forming the gate oxide of the process (6) of the operation gestalt 1, the conductor layer for gate electrodes of a process (7) is formed (refer to drawing 10). first, in thorin -- chic (intrinsic) -- polycrystalline silicon layer 7a is covered with a CVD method. And a boron impurity is introduced into polycrystalline silicon layer 7a by the ion implantation method, and a P gate electrode is formed. The P gate electrode formation by ion implantation is adopted in order to reduce the damage to the gate oxide by boron, and to control the boron concentration near [the] the gate oxide.

[0194] Then, the process from the process (8) of the operation gestalt 1 to a process (20) is performed.

[0195] (Operation gestalt 16) This operation gestalt 16 offers P gate MOS which formed the shallow offset field 8 only in the drain field 9 side, and explains it below with reference to drawing 81 from drawing 79.

[0196] this operation gestalt 16 -- the process of said operation gestalt 15 -- the base -- carrying out -- **** -- the time of a drain offset field formation process (refer to the process of the operation gestalt 1, and a process (10)) -- a mask PR 10 -- using -- P type -- a well -- Lynn is made not to be introduced into field 5 and P type source punching field 3 front face, and the offset field 8 is formed only in the drain field 9 side.

[0197] Then, as shown in drawing 80, a source drain field (10 9) is formed. The formation approach of this source drain field (10 9) follows the process of the operation gestalt 1, and a process (11). And it progresses to the process of the operation gestalt 1, and a process (12) after this.

[0198] By the above, as shown in drawing 81, P gate MOS is completed.

[0199] According to this operation gestalt 16, Lynn is not introduced into P type source punching field 3 front face by PR10. For this reason, the impurity installation for P type contact field formation on P type source punching field 3 front face does not need to perform high concentration ion implantation. That is, the ion damage by high concentration ion implantation can be avoided, and the surface concentration of a P type contact field can be raised. Therefore, it can realize and low resistance contact is contributed to on resistance reduction.

[0200] In addition, this operation gestalt 16 is applicable to the N gate MOS like the operation gestalt 1.

[0201] (Operation gestalt 17) This operation gestalt 17 is the modification of said operation gestalt 14, and has the embedding N type layer which set the peak location of impurity distribution of the N type layer 55 as the location deeper than an epitaxial layer front face in drawing 76. The depth of the peak location of this embedding N type layer is about 0.05 micrometers from that front face, and that peak concentration is $2 \times 10^{17}/\text{cm}^3$ about.

[0202] The manufacture approach of this operation gestalt 17 is performed based on said operation gestalt 15. That is, an embedding N type layer is formed of a setup of ion implantation conditions which make the above-mentioned impurity distribution with N type layer 55 formation process of said operation gestalt 15.

[0203] In P gate MOS which has an embedding N type layer like this operation gestalt 17, since the N type layer is embedded, electronic surface dispersion is avoidable with the interface of uneven gate oxide. That is, this operation gestalt 16 should take only dispersion of bulk into consideration. Therefore, the mobility of a carrier improves. In other words, on resistance reduction can be aimed at. This operation gestalt 17 is also applicable to the N gate MOS like the operation gestalt 1.

[0204] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of the above-mentioned implementation, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to the gestalt of the above-mentioned implementation and does not deviate from the summary.

[0205] It is as follows when the description of this invention is summarized based on the gestalt of the above-mentioned operation.

[0206] (1) The semi-conductor layer of the 1st conductivity type with which the semiconductor device concerning this invention was formed in the top face of the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate, The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above in which it estranged mutually and was located across the field where a channel is formed in the principal plane of the above-mentioned semi-conductor layer part, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched at the section besides a

principal plane of the above-mentioned semi-conductor layer, The above-mentioned above-mentioned gate electrode, 1st field [of the above], 2nd field [of the above], and reach through layer top The 1st insulator layer of a wrap, the 1st conductor connected to the high concentration field of the 1st field of the above, and the 2nd field of the above, and the above-mentioned reach through layer through opening prepared in the 1st insulator layer of the above, respectively -- a plug and the 2nd conductor -- a plug -- and with a plug the 3rd conductor the above -- the 1st conductor layer connected to a plug and the 3rd plug the 1st conductor, and the above -- it consists of the 3rd conductor layer connected to the inferior surface of tongue of the 2nd conductor layer connected to the plug the 2nd conductor, and the above-mentioned semi-conductor substrate.

[0207] (2) In the above (1), the 2nd insulator layer is covered on the 1st conductor layer of the above, and the 2nd conductor layer of the above. It is located on a plug the 2nd conductor. the 2nd insulator layer of the above -- receiving -- the 1st conductor of the above -- a plug and the above -- The 1st opening and the 2nd opening are prepared to the 2nd insulator layer of the above, respectively, the 1st wiring layer is connected to the 1st conductor layer of the above through the 1st opening of the above, and the 2nd wiring layer is connected to the 2nd conductor layer of the above through the 2nd opening of the above.

[0208] (3) In the above (1), it connects with the above-mentioned gate electrode through opening by which the plug was prepared in the 1st insulator layer of the above the 3rd conductor, and the 4th conductor layer is connected to the 3rd plug of the above.

[0209] (4) the above (1) -- setting -- the above 1st -- a plug consists of a tungsten the 2nd conductor and the 1st and 2nd conductor layer of the above consists of aluminium alloy.

[0210] (5) In the above (4), the 1st and 2nd conductor layer of the above consists of an AlCu alloy.

[0211] (6) the above (3) -- setting -- the above -- a plug consists of a tungsten the 3rd conductor and the 4th conductor layer of the above consists of aluminium alloy.

[0212] (7) In the above (6), the 1st and 2nd conductor layer of the above consists of an AlCu alloy.

[0213] (8) In the above (2), the 1st and 2nd wiring layer of the above consists of aluminium alloy.

[0214] (9) In the above (1), a plug consists of W the 2nd conductor, the 1st and 2nd conductor layer of the above consists of an AlCu alloy, and they are the above 1st and the electrode structure where the 3rd conductor layer of the above contains nickel, Ti, and Au in contact with the inferior surface of tongue of the above-mentioned semi-conductor substrate.

[0215] (10) the above (3) -- setting -- the above -- a plug consists of W the 3rd conductor, the above-mentioned gate electrode is the electrode structure where the laminating of the metal silicide was carried out on Polycrystal Si, and the 4th above-mentioned conductor layer of the above consists of an AlCu alloy.

[0216] The semiconductor device concerning this invention on the semi-conductor body which consists of the semi-conductor layer of the 1st conductivity type formed in the top face of the semi-conductor substrate of the 1st conductivity type, and the above-mentioned semi-conductor substrate (11) An insulated-gate field-effect transistor, The protection diode connected to the gate in order to protect the above-mentioned transistor is constituted. The above-mentioned insulated-gate field-effect transistor The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged in the 1st principal plane section of the above-mentioned semi-conductor layer divided by the component isolation region mutually, and was located in it across the field in which a channel is formed, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The 1st reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched at a part of above-mentioned 1st principal plane section, The above-mentioned above-mentioned gate electrode, 1st field [of the above], 2nd field [of the above], and 1st reach through layer top The 1st insulator layer of a wrap, the 1st conductor connected to the high concentration field of the 1st field of the above, and the 2nd field of the above, and the above-mentioned 1st reach through layer

through opening prepared in the 1st insulator layer of the above, respectively -- a plug and the 2nd conductor -- a plug -- and with a plug the 3rd conductor the above -- the 1st conductor layer connected to a plug and the 3rd plug the 1st conductor, and the above -- with the 2nd conductor layer connected to the plug the 2nd conductor. It consists of the 3rd conductor layer connected to the inferior surface of tongue of the above-mentioned semi-conductor substrate. And the above-mentioned protection diode. The 3rd field of the 2nd conductivity type formed in the 2nd principal plane section of the above-mentioned semi-conductor layer divided by the component isolation region, it is the back two back diode which consisted of the 4th field of the 1st conductivity type and the 5th field which were formed in the 3rd field of the above, and consisted of the 4th field of the above, the 3rd field of the above, and the 5th field of the above.

[0217] (12) In the above (11), the 4th field of the above is electrically connected to the pad for gate electrodes prepared on the above-mentioned semi-conductor layer principal plane through the plug the 4th conductor.

[0218] (13) In the above (12), the 4th plug of the above consists of two or more plugs.

[0219] (14) In the above (11), the above-mentioned 2nd principal plane section is covered with the 1st insulator layer of the above. A plug is connected to the 4th field of the above, and the 5th field of the above through a plug and opening prepared in the 1st insulator layer of the above, respectively the 5th conductor the 4th conductor. the 6th conductor layer and the 7th conductor layer -- the 4th conductor of the above -- a plug and the above -- the 2nd reach through layer which is connected to a plug the 5th conductor, touches the above-mentioned 2nd principal plane section to the 5th field of the above, and touches the above-mentioned semi-conductor substrate is arranged.

[0220] (15) In the above (14), the 6th conductor layer of the above extends on the above-mentioned component isolation region, and the pad for gate electrodes is connected to the 6th conductor layer of the above on the above-mentioned component isolation region.

[0221] (16) the above (14) -- setting -- the above 1st, the 2nd, the 3rd, and the 4th -- and a plug consists of a tungsten the 5th conductor and the 1st, 2nd, 6th, and 7th conductor layers of the above consist of aluminium alloy.

[0222] (17) In the above (16), the 1st, 2nd, 6th, and 7th conductor layers of the above consist of an AlCu alloy.

[0223] (18) The N-type drain field which estranges the insulated-gate electric field effect mold semiconductor device for power of each other which has a drain offset field concerning this invention in a P-type silicon semi-conductor layer, and has an N-type source field and an offset field is formed, a gate electrode is formed in the above-mentioned P-type silicon semi-conductor layer front face used as the channel field between the above-mentioned N-type source field and the above-mentioned offset field through gate dielectric film, and the above-mentioned gate electrode consists of the silicon semi-conductor layer containing a P-type impurity.

[0224] (19) In the above (18), the above-mentioned gate electrode consists of the polycrystalline silicon layer containing a P type impurity, and the metal silicide layer formed on this polycrystalline silicon layer.

[0225] (20) In the above (18), the above-mentioned gate dielectric film consists of the 1st silicon oxide formed by thermal oxidation, and the 2nd silicon oxide formed with gaseous-phase chemistry growth on the above-mentioned silicon oxide.

[0226] The semiconductor device concerning this invention (21) A P type silicon semi-conductor substrate, The P type silicon semi-conductor layer which was located in one principal plane of the above-mentioned substrate and which has low high impurity concentration rather than the above-mentioned substrate, The 1st N type field and the 2nd N type field which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, It is between the N type field of the above 1st in the principal plane of the above-mentioned semi-conductor layer, and the 2nd N type field. The 3rd N type field in which it estranged from the N type field of the above 1st, and was located in contact with the N type field of the above 2nd and which has low high impurity concentration rather than the N type field of the above 2nd, It is on the principal plane of the above-mentioned semi-conductor layer in which it is located between the N type field of the above 1st, and the N type field of the above 3rd, and a channel is formed. So that an edge may overlap, respectively and may carry out termination of the 1st field of the above, and the 3rd field of the above on

the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. It has the N type distributional area where the impurity atom concentration profile in the above-mentioned semi-conductor layer located between the N type field of the above 1st and the N type field of the above 3rd decreases toward the above-mentioned semi-conductor substrate from the front face of the above-mentioned semi-conductor layer.

[0227] The semiconductor device concerning this invention (22) A P type silicon semi-conductor substrate, The P type silicon semi-conductor layer which was located in one principal plane of the above-mentioned substrate and which has low high impurity concentration rather than the above-mentioned substrate, The 1st N type field and the 2nd N type field which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, It is between the N type field of the above 1st in the principal plane of the above-mentioned semi-conductor layer, and the 2nd N type field. The 3rd N type field in which it estranged from the N type field of the above 1st, and was located in contact with the N type field of the above 2nd and which has low high impurity concentration rather than the N type field of the above 2nd, It is on the principal plane of the above-mentioned semi-conductor layer in which it is located between the N type field of the above 1st, and the N type field of the above 3rd, and a channel is formed. So that an edge may overlap, respectively and may carry out termination of the 1st field of the above, and the 3rd field of the above on the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The P type distributional area which the impurity atom concentration profile in the above-mentioned semi-conductor layer located between the N type field of the above 1st and the N type field of the above 3rd increases from the front face of the above-mentioned semi-conductor layer toward the above-mentioned semi-conductor substrate, It laps with the above-mentioned P type distributional area, and has the N type distributional area which has the peak of high impurity concentration in the interior distant from the front face of the above-mentioned semi-conductor layer.

[0228] The semiconductor device concerning this invention (23) The semi-conductor substrate of the 1st conductivity type, The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the above-mentioned semi-conductor substrate located in one principal plane of the above-mentioned semi-conductor substrate, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, and to the principal plane of the above-mentioned semi-conductor layer which has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate, and was located between the 1st field of the above, and the 3rd field of the above The 4th field of the 1st conductivity type which carries out termination is alternatively formed in the 3rd field of the above, and it has the pocket layer of the 1st conductivity type which has high impurity concentration higher than the surface high impurity concentration of the 4th field of the above in a location deeper than the 3rd field of the above in the 4th field of the above located under the above-mentioned gate electrode.

[0229] (24) In the above (23), the 1st electrode of the above and the 3rd electrode of the above are connected electrically.

[0230] (25) The semiconductor device characterized by establishing the 5th field of the 1st conductivity type which touches the 1st field of the above, and the above-mentioned semi-conductor substrate in the above-mentioned 1st semi-conductor layer in the above (23).

[0231] (26) In the above (23), the 3rd electrode of the above is connected to the 1st reference potential, and the 2nd electrode of the above is connected to the 2nd reference potential.

[0232] (27) In the above (26), the 3rd electrode of the above is a source electrode, and the 2nd electrode of the above is a drain electrode.

[0233] (28) In the above (26) or (27), the 1st reference potential of the above is touch-down potential, and the 2nd reference potential of the above is power-source potential.

[0234] (29) In the above (23), the above-mentioned pocket layer is formed by the ion implantation approach of the direction of slant to the principal plane of the above-mentioned semi-conductor layer.

[0235] The semiconductor device concerning this invention (30) The semi-conductor substrate of the 1st conductivity type, The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the above-mentioned semi-conductor substrate located in one principal plane of the above-mentioned semi-conductor substrate, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of the above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the above-mentioned semi-conductor substrate. The 1st thickness of the gate dielectric film which exists while the 3rd field of the above and a gate electrode overlap is larger than the 2nd thickness of the gate dielectric film on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above.

[0236] (31) In the above (30), the 4th field of the 1st conductivity type which carries out termination is alternatively formed in the 3rd field of the above at the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above.

[0237] (32) In the above (30) or (31), the 1st electrode of the above and the 3rd electrode of the above are connected electrically.

[0238] (33) In the above (30), the 5th field of the 1st conductivity type which touches the 1st field of the above and the above-mentioned semi-conductor substrate is established in the above-mentioned 1st semi-conductor layer.

[0239] (34) In the above (30), the 3rd electrode of the above is connected to the 1st reference potential, and the 2nd electrode of the above is connected to the 2nd reference potential.

[0240] (35) In the above (34), the 3rd electrode of the above is a source electrode, and the 2nd electrode of the above is a drain electrode.

[0241] (36) In the above (34) or (35), the 1st reference potential of the above is touch-down potential, and the 2nd reference potential of the above is power-source potential.

[0242] (37) In the above (30), the gate dielectric film of the 1st thickness of the above is thickly formed so that a taper configuration may be accomplished from the gate dielectric film of the 2nd thickness of the above.

[0243] (38) In the above (37), the gate dielectric film of the 1st thickness of the above consists of BAZU beak structure.

[0244] The semiconductor device concerning this invention (39) The semi-conductor base of the (a) 1st conductivity type, (b) The semi-conductor layer of the 1st conductivity type which has low high impurity concentration rather than the above-mentioned semi-conductor base located in one principal plane of the above-mentioned semi-conductor base, (c) The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, (d) The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, (e) So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively The gate electrode prepared through gate dielectric film, and the 1st electrode and the 2nd electrode which were connected to each of the 1st field of (f) above, and the 2nd field of the above, And it has the 3rd electrode connected to the principal plane of another side opposite to one principal plane of the (g) above-mentioned semi-conductor substrate. While the 3rd field of the above and a gate electrode overlap, a BAZU beak exists, it is almost equal to the high impurity concentration of the 2nd field of the above, or swerves, and the high impurity concentration of the above-mentioned 3rd field front face is above.

[0245] (40) In the above (39), the high impurity concentration of the above-mentioned 3rd field front face has the peak value more than $1 \times 10^{18} \text{ cm}^{-3}$.

[0246] (41) As for the high impurity concentration of the above-mentioned 3rd field front face, the depth from a front face is distributed over less than 0.005 micrometers in the above (39) or (40).

[0247] (42) The substrate with which the semi-conductor layer of the 1st conductivity type with which the semiconductor device concerning this invention has low high impurity concentration in a principal plane was formed, The 1st field and the 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and were prepared in the principal plane of the above-mentioned semi-conductor layer, The 3rd field which has low high impurity concentration rather than the 1st field of the above in which it is between the 1st field of the above in the principal plane of the above-mentioned semi-conductor layer, and the 2nd field, and estranged from the 1st field of the above, and was located in contact with the 2nd field of the above, So that it may be on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above and a part may overlap the 1st field of the above, and the 3rd field of the above, respectively It has a field. the well of the 1st conductivity type formed in the above-mentioned semi-conductor layer the gate electrode prepared through gate dielectric film, and under the above-mentioned gate dielectric film -- The 1st thickness of the gate dielectric film which exists while the 3rd field of the above and a gate electrode overlap It is formed more thickly than the 2nd thickness of the gate dielectric film on the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above, and the 3rd field of the above consists of a shallow high concentration field and a deep low concentration field.

[0248] (43) the above (42) -- setting -- the above -- a well -- the field is carrying out termination to the 3rd field of the above.

[0249] (44) the above (42) -- setting -- the above -- a well -- the field is carrying out termination to the bottom of the above-mentioned gate electrode.

[0250] (45) In the above (42), the above-mentioned gate electrode consists of the high-melting silicide layer by which the laminating was carried out to the polycrystalline silicon layer containing a P type impurity on the above-mentioned polycrystalline silicon.

[0251] (46) The semi-conductor layer in which the semiconductor device concerning this invention has the 1st conductivity type formed on the principal plane of a semi-conductor substrate and the above-mentioned semi-conductor substrate, The 1st and 2nd fields with the 2nd conductivity type opposite to the 1st conductivity type of the above which each other was estranged by the above-mentioned semi-conductor layer principal plane, and was located in it, The 3rd field of the 2nd conductivity type formed so that

it might be in the above-mentioned semi-conductor layer principal plane located between the 1st field of the above, and the 2nd field, it might estrange from the 1st field of the above and the 2nd field of the above might be touched, The gate oxide prepared in the principal plane of the above-mentioned semi-conductor layer used as the channel field between the 1st field of the above, and the 3rd field of the above, The gate conductor layer prepared on the above-mentioned gate oxide, and the 1st conductor layer connected to the 1st field of the above, It consists of the 3rd conductor layer connected to the rear face of the 2nd conductor layer connected to the 2nd field of the above, and the above-mentioned semi-conductor substrate. Each thickness of the 2nd gate oxide located between the 1st gate oxide located between the 1st field of the above and the above-mentioned gate dielectric film, and the 3rd field of the above and the above-mentioned gate dielectric film is larger than the thickness of the 3rd gate oxide prepared in the principal plane of the semi-conductor layer used as the above-mentioned channel field.

[0252] (47) In the above (46), the 4th field of the 1st conductivity type is carrying out termination to the principal plane of the above-mentioned semi-conductor layer located between the 1st field of the above, and the 3rd field of the above in the 3rd field of the above.

[0253] (48) In the above (46) or (47), the 1st conductor layer of the above and the above-mentioned conductor layer are connected electrically.

[0254] (49) In the above (46), the 5th field of the 1st conductivity type which touches the 1st field of the above and the above-mentioned semi-conductor substrate is established in the above-mentioned 1st semi-conductor layer.

[0255] (50) In the above (46), the 3rd conductor layer of the above is connected to the 1st reference potential, and the 2nd conductor layer of the above is connected to the 2nd reference potential.

[0256] (51) In the above (50), the 3rd conductor layer of the above is a source rear-face electrode, and the 2nd conductor layer of the above is a drain electrode.

[0257] (52) In the above (50) or (51), the 1st reference potential of the above is touch-down potential, and the 2nd reference potential of the above is power-source potential.

[0258] (53) In the above (46), the 1st and 2nd gate oxide of the above consists of BAZU beak structure.

[0259] (54) The drain field and source field which were established in the principal plane of a semi-conductor layer across two or more channel field and each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains, and the 2nd metallic conductor layer for the above-mentioned gates has the bonding pad section for the gates.

[0260] (55) In the above (54), the above-mentioned semi-conductor layer is formed in the front face of a semi-conductor substrate, and the source electrode is prepared in the rear face of the above-mentioned semi-conductor substrate.

[0261] (56) In the above (55), with the same conductivity type as the above-mentioned semi-conductor layer which reaches in the

above-mentioned semi-conductor layer at the above-mentioned semi-conductor substrate, the penetration layer which has high impurity concentration rather than the above-mentioned semi-conductor layer is prepared, and the 1st metallic conductor layer for the above-mentioned sources is connected to the principal plane of the above-mentioned penetration layer through the metal plug.

[0262] (57) In the above (56), it lets opening for source connection prepared in the above-mentioned interlayer insulation film located on the above-mentioned metal plug pass, and the 2nd metallic conductor layer for the above-mentioned sources is connected to the 1st metallic conductor layer for the above-mentioned sources.

[0263] (58) In the above (56), the 2nd metallic conductor layer for the above-mentioned sources has the source pad section for probes.

[0264] (59) In the above (56), the above-mentioned drain pad section is approached, the extension section of the 2nd metallic conductor layer for the above-mentioned sources is arranged, it is located under the above-mentioned extension section, other penetration layers which have the same configuration as the above-mentioned penetration layer are prepared in the above-mentioned semi-conductor layer, and electrical installation of the above-mentioned extension section is carried out to the penetration layer besides the above.

[0265] (60) The 2nd metallic conductor layer for the sources which approaches the above-mentioned gate pad section and is different from the 2nd metallic conductor layer for the above-mentioned sources in the above (56) is arranged, and it is located under the 2nd metallic conductor layer different the account of a top for the sources. Other penetration layers which have the same configuration as the above-mentioned penetration layer are prepared in the above-mentioned semi-conductor layer, and electrical installation of the 2nd metallic conductor layer different the account of a top for the sources is carried out to the penetration layer besides the above.

[0266] (61) In the above (59), the 1st metallic conductor layer for the above-mentioned gates is arranged along with the above-mentioned conductor layer for gate electrodes. The 1st metallic conductor layer for the above-mentioned drains and the 1st metallic conductor layer for the above-mentioned sources are arranged along with the 1st metallic conductor layer for the above-mentioned gates, respectively. The 2nd metallic conductor layer for the above-mentioned drains is located on the 1st [for the above-mentioned drains] metallic conductor layer, and is arranged along with the 1st metallic conductor layer for the above-mentioned drains. The 2nd metallic conductor layer for the above-mentioned sources is located on the 1st [for the above-mentioned sources] metallic conductor layer, and is arranged along with the 1st metallic conductor layer for the above-mentioned sources.

[0267] (62) The channel field of plurality [principal plane / which has a semi-conductor layer / of a semiconductor chip], The drain field and source field which were prepared across each above-mentioned channel field, It is the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block, and two or more arrangement of the insulated gate

field effect transistor of the above-mentioned unit block is carried out at the principal plane of the above-mentioned semiconductor chip.

[0268] (63) In the above (62), the above-mentioned semiconductor chip has the 1st side and the 2nd side which counter mutually, the parallel arrangement of the plurality of the insulated gate field effect transistor of the above-mentioned unit block is carried out along the 1st and 2nd side of the above, the bonding pad section for the above-mentioned drains is arranged along the 1st side of the above, and the bonding pad section for the above-mentioned gates is arranged along the 2nd side of the above.

[0269] (64) In the above (63), the 2nd metallic conductor layer for the above-mentioned sources has a source pad for probes, and the source pad section for probes within the above-mentioned unit block is arranged along the 2nd side of the above.

[0270] (65) In the above (63), electrical installation of the gate protection component is carried out to the bonding pad section for the gates arranged in the outermost part, respectively.

[0271] (66) In the above (65), the metal connection layer of the metallic conductor layer of the above 1st and this layer is formed in the above-mentioned semiconductor chip principal plane, and the above-mentioned gate protection component and the above-mentioned bonding pad section are connected by the above-mentioned metal connection layer.

[0272] (67) The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate], The drain field and source field which were prepared across each above-mentioned channel field, It is. the insulated-gate mold semiconductor device which has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film -- A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block. Two or more arrangement of the insulated gate field effect transistor of the above-mentioned unit block is carried out at the principal plane of the above-mentioned semi-conductor substrate, and the 1st metallic conductor layer for the above-mentioned gates and the 2nd metallic conductor layer for the above-mentioned gates are connected between the above-mentioned unit blocks.

[0273] (68) The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate], In the insulated-gate mold semiconductor device which has the drain field and source field which were prepared across each above-mentioned channel field, and the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each

1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates has the bonding pad section for the gates, the above-mentioned drain field is a common drain field across which it faced between the above-mentioned channel fields, and the above-mentioned conductor layer for gate electrodes is prepared independently, respectively.

[0274] (69) The insulated-gate mold semiconductor device concerning this invention The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate] respectively, The drain field and source field which were prepared across each above-mentioned channel field, The 1st and 2nd insulated gate field effect transistors which have the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film are arranged. Electrical installation of the 1st resistor for impedance matching is carried out to each drain field of the 1st and 2nd insulated gate field effect transistor. Electrical installation of the 2nd resistor for impedance matching is carried out, and it grows into each conductor layer for gate electrodes of the 1st and 2nd insulated-gate field-effect transistor.

[0275] (70) In the above (69), the 1st and 2nd resistor of the above consists of the same ingredient as the above-mentioned conductor layer for gate electrodes.

[0276] (71) In the above (69), the component for current detection constituted like the 1st and 2nd insulated gate field effect transistor is arranged at the principal plane of the above-mentioned semi-conductor substrate, and a shielding layer is arranged between the 1st or 2nd insulated gate field effect transistor of the above, and the above-mentioned component for current detection, and change.

[0277] (72) In the above (71), the above-mentioned shielding layer consists of the semiconductor region which reaches the above-mentioned semi-conductor substrate from the above-mentioned principal plane, the metal plug connected to the above-mentioned semiconductor region, the 1st metallic conductor layer connected to the above-mentioned metal plug, and the 2nd metallic conductor layer connected to the metallic conductor layer of the above 1st.

[0278] (73) The insulated-gate mold semiconductor device concerning this invention The channel field of plurality [principal plane / which has a semi-conductor layer / of a semi-conductor substrate] respectively, The drain field and source field which were prepared across each above-mentioned channel field, The 1st and 2nd insulated gate field effect transistors which have the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film are arranged. The bonding pad for drains and the bonding pad for the gates to the 1st and 2nd insulated gate field effect transistors of the above are arranged at the above-mentioned principal plane, respectively. A source electrode is arranged at the rear face of the above-mentioned semi-conductor substrate, a shielding layer is arranged between the 1st and 2nd insulated gate field effect transistors of the above, and it changes.

[0279] (74) In the above (73), the above-mentioned shielding layer consists of the semiconductor region which reaches the above-mentioned semi-conductor substrate from the above-mentioned principal plane, the metal plug connected to the above-mentioned semiconductor region, the 1st metallic conductor layer connected to the above-mentioned metal plug, and the 2nd metallic conductor layer connected to the metallic conductor layer of the above 1st.

[0280] (75) The semi-conductor substrate of the 1st conductivity type, and the semi-conductor layer of the 1st conductivity type formed in the top face of the above-mentioned semi-conductor substrate, The field insulator layer formed in order to divide a component formation field to the above-mentioned semi-conductor layer principal plane, The 1st and 2nd field of the 2nd conductivity type opposite to the 1st conductivity type of the above which estranged mutually and was located in the above-mentioned component formation field across the field in which a channel is formed, The gate electrode which the 2nd field of the above consisted of the high concentration field adjacent to the low concentration field adjacent to the field in which a channel is formed, and the above-mentioned low concentration field, and was formed in the above-mentioned channel field upper part through gate dielectric film, The process which introduces the impurity for forming the above-mentioned reach through layer in the above-mentioned semi-conductor layer

principal plane alternatively in the manufacture approach of a semiconductor device of having the reach through layer of the 1st conductivity type formed so that the 1st field and the above-mentioned semi-conductor substrate might be touched in the above-mentioned component formation field, While forming the above-mentioned field insulator layer in the above-mentioned semi-conductor layer principal plane alternatively by thermal oxidation The process which forms the above-mentioned reach through layer which extends the above-mentioned impurity and touches the above-mentioned semi-conductor substrate, It consists of the process which forms the above-mentioned gate dielectric film in the component formation field divided by the above-mentioned field insulator layer on a front face, the process which forms the above-mentioned gate electrode on the above-mentioned gate dielectric film, and the process formed in the 1st and 2nd field of the above in the above-mentioned component formation field after an appropriate time.

[0281] (76) In the above (75), the thickness of the above-mentioned semi-conductor layer is formed in 2.5 micrometers or more and 3.5 micrometers or less.

[0282] (77) the well as a field where the impurity of the 1st conductivity type is introduced and the above-mentioned channel is formed in the above (75) after the above-mentioned field insulator layer formation process and in the above-mentioned component formation field -- form a field.

[0283] (78) In the above (77), impurity installation of the 1st conductivity type of the above is performed by two steps of ion implantation.

[0284] (79) the above (75) -- setting -- after the above-mentioned field insulator layer formation process -- it is -- the above -- a well -- perform annealing treatment in advance of formation.

[0285] (80) In the above (75), self-align formation of the above-mentioned low concentration field is carried out at the above-mentioned gate electrode.

[0286] (81) In the above (80), the above-mentioned low concentration field consists of the 1st ion implantation process which introduces the impurity of the 2nd conductivity type in the above-mentioned component formation field, and the 2nd ion implantation process which introduces the impurity of the 2nd high-concentration conductivity type rather than the 1st ion implantation of the above.

[0287] (82) In the above (79), it is after a formation process, the above-mentioned gate electrode is located in the above-mentioned gate electrode edge subordinate, and it has the process which forms a BAZU beak oxide film in the component formation field front face in which the above-mentioned low concentration field is formed by thermal oxidation.

[0288] (83) In the above (82), the above-mentioned gate electrode consists of the polycrystalline silicon layer which touches the above-mentioned gate dielectric film, and forms the above-mentioned BAZU beak oxide film by oxidizing thermally the edge of the above-mentioned polycrystalline silicon layer.

[0289] (84) In the above (75), it has the process which forms a BAZU beak oxide film in the above-mentioned component formation field front face which is after a formation process and was located under the above-mentioned gate electrode both ends in the above-mentioned gate electrode by thermal oxidation.

[0290] (85) In the above (84), the above-mentioned gate electrode consists of the polycrystalline silicon layer which touches the above-mentioned gate dielectric film, and forms the above-mentioned BAZU beak oxide film by oxidizing thermally the edge of the above-mentioned polycrystalline silicon layer.

[0291] (86) In the above (75), the formation process of the above-mentioned gate dielectric film forms an acid nitride by heat treatment in the oxygen ambient atmosphere containing nitrogen.

[0292] (87) Form the above-mentioned BAZU beak oxide film by thermal oxidation containing nitrogen in the above (82) or either of (84).

[0293] (88) In the above (82) or either of (84), introduce nitrogen ion by the ion implantation approach in the above-mentioned BAZU

beak oxide film after forming the above-mentioned BAZU beak oxide film.

[0294] (89) The manufacture approach of the semiconductor device concerning this invention consists of the following processes.

[0295] (a) The process which prepares the semi-conductor substrate which has the semi-conductor layer of the 1st conductivity type for a principal plane, (b) The process which introduces an impurity for the impurity of the 1st conductivity type for forming in the above-mentioned semi-conductor layer principal plane the reach through layer which reaches the above-mentioned semi-conductor substrate alternatively, (c) The process which forms alternatively the field insulator layer for dividing a component formation field to the above-mentioned semi-conductor layer principal plane by thermal oxidation, (d) The process which forms gate dielectric film in the component formation field divided by the above-mentioned field insulator layer on a front face, (e) The process which forms a gate electrode on the above-mentioned gate dielectric film, and the process which carries out self-align formation of the offset field of the 1st conductivity type to the above-mentioned gate electrode into the (f) above-mentioned component formation field, (g) the 1st field of the 1st conductivity type by which self align was carried out to the above-mentioned gate electrode into the above-mentioned component formation field The process which estranges from the above-mentioned gate electrode edge, and touches the above-mentioned offset field, and forms the 2nd field of the 1st conductivity type which has high high impurity concentration rather than the above-mentioned offset field, respectively, Then, the process which forms the 1st insulator layer so that the (h) above-mentioned component formation field may be covered, (i) The process which forms opening for exposing the above-mentioned 1st and 2nd field principal plane and the above-mentioned reach through layer principal plane to the 1st insulator layer of the above, respectively, (j) The process which forms the 1st, 2nd, and 3rd metal plug linked to the above-mentioned 1st and 2nd field principal plane and the above-mentioned reach through layer in the above-mentioned opening, respectively, (k) The process which carries out pattern formation of the 2nd conductor layer which connects to the above-mentioned 2nd metal plug the 1st conductor layer which connects the above-mentioned 1st and 3rd metal plug of each other, respectively, and process which forms the 3rd conductor layer in the rear face of the (l) above-mentioned semi-conductor substrate.

[0296] (90) The manufacture approach of the semiconductor device characterized by carrying out grinding of the rear face of the above-mentioned semi-conductor substrate in advance of the above-mentioned (l) process in the above (89).

[0297] In the above (89) at the above-mentioned (l) process (91) Then, the process which covers the 2nd insulator layer on the 1st conductor layer of (m) above, and the 2nd conductor layer of the above, (n) -- the 2nd insulator layer of the above -- receiving -- the 1st conductor of the above -- a plug and the above -- it being located on a plug the 2nd conductor and with the process which prepares the 1st opening and the 2nd opening to the 2nd insulator layer of the above, respectively (o) The process which carries out pattern formation of the 2nd wiring layer which connects to the 2nd conductor layer of the above the 1st wiring layer which connects with the 1st conductor layer of the above through the 1st opening of the above through the 2nd opening of the above, respectively is included.

[0298] (92) the above (89) -- setting -- the above-mentioned (e) process -- preceding -- the impurity of the 1st conductivity type -- introducing -- a well -- the manufacture approach of the semiconductor device characterized by including the process which forms a field.

[0299] (93) the above (92) -- setting -- the above -- a well -- a formation process is performed following the above-mentioned (d) process.

[0300] (94) the above (92) or (93) -- either -- setting -- the above -- a well -- a formation process is performed by two steps of the ion implantation approaches.

[0301] (95) In the above (89), the 1st insulator layer of the above-mentioned (h) process is a silicon nitride film.

[0302] (96) the above (92) -- setting -- after the above-mentioned (e) process -- the above -- a well -- include the process which was located under the above-mentioned gate electrode and which embeds and forms a field by carrying out the ion implantation of the

impurity of the 1st conductivity type from the direction of slant to the above-mentioned component formation field principal plane into a field.

[0303] (97) In the above (96), the mask used at the above-mentioned (g) process for the above-mentioned 1st and 2nd field formation is used for the above-mentioned embedding field formation process.

[0304] (98) The marginal gate mold semiconductor device concerning this invention It is the insulated-gate mold semiconductor device with which the insulated gate field effect transistor is formed in the high resistive layer front face of the same conductivity type as the 1st conductivity type of the above formed on the low resistance semi-conductor substrate of the 1st conductivity type. The low resistance source field of the 2nd conductivity type of a conductivity type opposite to the 1st conductivity type of the above is connected to the above-mentioned low resistance substrate through the low resistive layer of the 1st conductivity type formed in this high resistive layer. The low resistance drain field of the 2nd conductivity type of the above-mentioned semiconductor device constitutes the offset structure which is distant from a gate electrode edge through the high resistive layer of the 2nd conductivity type. For 0.35 micrometers or less and gate oxide thickness, the offset die length from the gate electrode edge of 10nm or more 12nm or less and a drain field is [the direction die length of a channel of a gate electrode / the high resistance layer thickness on 0.4 micrometer or more 0.8 micrometers or less and a semi-conductor substrate] 2.5 micrometers or more and 3.5 micrometers or less.

[0305] In the high frequency module which constitutes an amplifying circuit with two or more semiconductor chips which constitute an insulated gate field effect transistor (99) The semiconductor chip of each above The drain field and source field which were established in the principal plane of a semi-conductor substrate which has a semi-conductor layer across two or more channel field and each above-mentioned channel field, It has the conductor layer for gate electrodes prepared in the channel field front face of each above through gate dielectric film. A metal plug is connected to the principal plane of the drain field of each above, and the source field of each above. The 1st metallic conductor layer is connected to the metal plug of each above, and an interlayer insulation film is covered on the metallic conductor layer of the above 1st. It lets opening for drain connection which was located on the metal plug connected to the above-mentioned drain field, and was prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for drains, common connection of the 2nd metallic conductor layer for drains is made, and it lets opening for source connection prepared in the above-mentioned interlayer insulation film pass. Among the metallic conductor layers of the above 1st, to each 1st metallic conductor layer for the sources, common connection of the 2nd metallic conductor layer for the sources is made, and it lets opening for gate connection prepared in the above-mentioned interlayer insulation film pass. Each 1st metallic conductor layer for the gates is received among the metallic conductor layers of the above 1st. Common connection of the 2nd metallic conductor layer for the gates is made, and the 2nd metallic conductor layer for the above-mentioned drains has the bonding pad section for drains. The 2nd metallic conductor layer for the above-mentioned gates considers the insulated gate field effect transistor which has the bonding pad section for the gates as a unit block, and two or more arrangement of the insulated gate field effect transistor of the above-mentioned unit block is carried out at the above-mentioned semi-conductor layer principal plane.

[0306]

[Effect of the Invention] It becomes possible to raise addition effectiveness, securing the output power of the power metal-oxide semiconductor field effect transistor used for cellular-phone terminals, such as GSM, PCS, PDC, and a CDMA method, and a destructive tolerated dose according to this invention. And in the module for GSM methods using this, it becomes possible to attain output power 4W and 55% of overall efficiency. Moreover, reduction of module component-side products is also attained by the miniaturization of a chip, and integration.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device (N gate and N channel mold Si power metal-oxide semiconductor field effect transistor) which is the operation gestalt 1 of this invention.

[Drawing 2] It is the top view of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 3] It is the top view showing the layout of the semiconductor device (semiconductor chip) which is the operation gestalt 1 of this invention.

[Drawing 4] It is the partial top view which expanded the protection component 19 in the semiconductor device (semiconductor chip) shown in drawing 3 .

[Drawing 5] It is the sectional view of the D-D' cutting part of the protection component shown in drawing 4 .

[Drawing 6] It is an important section sectional view in the production process of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 7] It is an important section sectional view in the production process of the semiconductor device following drawing 6 .

[Drawing 8] It is an important section sectional view in the production process of the semiconductor device following drawing 7 .

[Drawing 9] It is an important section sectional view in the production process of the semiconductor device following drawing 8 .

[Drawing 10] It is an important section sectional view in the production process of the semiconductor device following drawing 9 .

[Drawing 11] It is an important section sectional view in the production process of the semiconductor device following drawing 10 .

[Drawing 12] It is an important section sectional view in the production process of the semiconductor device following drawing 11 .

[Drawing 13] It is an important section sectional view in the production process of the semiconductor device following drawing 12 .

[Drawing 14] It is an important section sectional view in the production process of the semiconductor device following drawing 13 .

[Drawing 15] It is an important section sectional view in the production process of the semiconductor device following drawing 14 .

[Drawing 16] It is an important section sectional view in the production process of the semiconductor device following drawing 15 .

[Drawing 17] It is an important section sectional view in the production process of the semiconductor device following drawing 16 .

[Drawing 18] It is an important section sectional view in the production process of the semiconductor device following drawing 17 .

[Drawing 19] It is an important section sectional view in the production process of the semiconductor device following drawing 18 .

[Drawing 20] It is an important section sectional view in the production process of the semiconductor device following drawing 19 .

[Drawing 21] It is an important section sectional view in the production process of the semiconductor device following drawing 20 .

[Drawing 22] It is an important section sectional view in the production process of the semiconductor device following drawing 21 .

[Drawing 23] It is an important section sectional view in the production process of the semiconductor device following drawing 22 .

[Drawing 24] It is an important section sectional view in the production process of the semiconductor device following drawing 23 .

[Drawing 25] It is an important section sectional view in the production process of the semiconductor device following drawing 24 .

[Drawing 26] It is an important section sectional view in the production process of the semiconductor device following drawing 25 .

[Drawing 27] It is an important section sectional view in the production process of the semiconductor device following drawing 26 .

[Drawing 28] It is an important section sectional view in the production process of the semiconductor device following drawing 27 .

[Drawing 29] It is an important section sectional view in the production process of the semiconductor device following drawing 28 .

[Drawing 30] It is the representative circuit schematic of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 31] the gate oxidation in the semiconductor device which is the operation gestalt 1 of this invention -- thickness -- ** -- it is the property Fig. showing the relation between on resistance and gate pressure-proofing.

[Drawing 32] It is the property Fig. showing the relation of the gate length and on resistance in the semiconductor device which is the operation gestalt 1 of this invention.
 [Drawing 33] It is the property Fig. showing the relation of the gate length and the mutual conductance in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 34] It is the property Fig. showing the relation of the gate length and the threshold electrical potential difference in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 35] It is the property Fig. showing the relation of the offset layer depth and on resistance in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 36] It is the property Fig. showing the relation of the offset length and on resistance in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 37] It is the property Fig. showing the relation of the offset length and drain pressure-proofing in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 38] It is the property Fig. showing the relation of the punch-through stopper layer location and on resistance in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 39] It is the property Fig. showing the relation of the punch-through stopper layer location and drain pressure-proofing in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 40] It is the impurity atom concentration profile Fig. of the B-B' cutting part in the semiconductor device shown in drawing 1 .

[Drawing 41] It is the property Fig. showing the resistivity dependency of the substrate punching layer in the epitaxial thickness of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 42] It is the impurity atom concentration profile Fig. of the C-C' cutting part in the semiconductor device shown in drawing 1 .

[Drawing 43] It is the property Fig. showing the relation of the epitaxial thickness and breakdown voltage in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 44] It is a current-voltage characteristic Fig. in the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 45] It is the top view showing the contact section of drain wiring of the conventional technique.

[Drawing 46] It is the top view showing the contact section of drain wiring of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 47] It is the RF property of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 48] It is the RF property (gate width W_g dependence) of the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 49] It is the equal circuit of RF power module using the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 50] It is the top view showing the layout of RF power module using the semiconductor device which is the operation gestalt 1 of this invention.

[Drawing 51] It is the sectional view of the semiconductor device which is the operation gestalt 2 of this invention.

[Drawing 52] It is the property Fig. showing electrical-potential-difference ***** of the capacity between the drain gates of the semiconductor device which is the operation gestalt 2 of this invention.

[Drawing 53] It is the property Fig. showing the signal gain of a semiconductor device and the relation of a frequency which are the operation gestalt 2 of this invention.

[Drawing 54] It is an important section sectional view in the production process of the semiconductor device which is the operation gestalt 2 of this invention.

[Drawing 55] It is an important section sectional view in the production process of the semiconductor device following drawing 54 .

[Drawing 56] It is the important section sectional view of the completed semiconductor device which is the operation gestalt 2 of this invention.

[Drawing 57] It is an important section sectional view in the production process of the semiconductor device which is the operation gestalt 3 of this invention.

[Drawing 58] It is an important section sectional view in the production process of the semiconductor device following drawing 57 .

[Drawing 59] It is an important section sectional view in the production process of the semiconductor device following drawing 58 .

[Drawing 60] It is the important section sectional view of the completed semiconductor device which is the operation gestalt 3 of this invention.

[Drawing 61] It is the important section sectional view of the semiconductor device which is the operation gestalt 4 of this invention.

[Drawing 62] It is the important section sectional view of the semiconductor device which is the operation gestalt 5 of this invention.

[Drawing 63] The relation of the offset layer surface concentration of a semiconductor device and the rate of on resistance degradation which are the operation gestalt 5 of this invention is shown.

[Drawing 64] It is the important section sectional view of the semiconductor device which is the operation gestalt 6 of this invention.

[Drawing 65] It is the important section sectional view of the semiconductor device which is the operation gestalt 7 of this invention.

[Drawing 66] It is the top view of the semiconductor device which is the operation gestalt 7 of this invention.

[Drawing 67] It is the top view of the semiconductor device which is the operation gestalt 8 of this invention.

[Drawing 68] It is the top view of the semiconductor device which is the operation gestalt 9 of this invention.

[Drawing 69] It is the important section sectional view of the semiconductor device which is the operation gestalt 10 of this invention.

[Drawing 70] It is the top view of the semiconductor device which is the operation gestalt 10 of this invention.

[Drawing 71] It is the top view of the protection component in the semiconductor device (semiconductor chip) which is the operation gestalt 11 of this invention.

[Drawing 72] It is the sectional view of the D-D' cutting part of the protection component shown in drawing 71 .

[Drawing 73] It is the top view showing the layout of the semiconductor device (semiconductor chip) which is the operation gestalt 12 of this invention.

[Drawing 74] It is the top view showing the layout of the semiconductor device (semiconductor chip) which is the operation gestalt 13 of this invention.

[Drawing 75] It is the top view showing the layout of the semiconductor device (semiconductor chip) which is the operation gestalt 14 of this invention.

[Drawing 76] It is the important section sectional view of the semiconductor device (a P gate and N channel mold Si power metal-oxide semiconductor field effect transistor) which is the operation gestalt 15 of this invention.

[Drawing 77] It is the important section sectional view showing stretch of the depletion layer in the semiconductor device (a P gate and N channel mold power metal-oxide semiconductor field effect transistor) which is the operation gestalt 15 of this invention.

[Drawing 78] It is an important section sectional view in the production process of the semiconductor device which is the operation gestalt 15 of this invention.

[Drawing 79] It is an important section sectional view in the production process of the semiconductor device which is the operation gestalt 16 of this invention.

[Drawing 80] It is an important section sectional view in the production process of the semiconductor device following drawing 79 .

[Drawing 81] It is the important section sectional view of the completed semiconductor device which is the operation gestalt 16 of this invention.

[Drawing 82] It is the impurity distribution map of the G-G' cutting part of drawing 76 .

[Drawing 83] It is the top view of the semiconductor device which increased the gate number of the operation gestalt 1 of this invention.

[Description of Notations]

1 -- A P type low resistance Si substrate (semi-conductor substrate), 2 -- P type quantity resistance Si epitaxial layer (semi-conductor layer), 3 -- A P type source blanking field (reach through layer), 4 -- P type KONTAKU field, 5 -- P type -- a well -- a field (punch-through stopper layer PW) and 6 -- gate dielectric film -- 7 -- A gate electrode, 8 -- The N type drain offset field which has low high impurity concentration (NM), 9 -- The N type drain field and **** 4 which have quantity high impurity concentration Gate oxide, the N type source field and P1 -- which have 10 -- quantity high impurity concentration -- a conductor -- a plug and 20 -- the 1st insulator layer (interlayer insulation film) M1 [-- A surface protective coat, S1 / -- A source electrode (wiring), S2 / -- Rear-face source electrode.] -- A conductor layer (the 1st-layer wiring), 30 -- The 2nd insulator layer (interlayer insulation film), M2 -- A wiring layer (the 2nd-layer wiring), 40

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-94094
(P2001-94094A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl. ⁷	識別記号	F I	7-コード*(参考)
H 0 1 L	29/78	H 0 1 L	29/78
	21/8234		3 0 1 W
	27/088		1 0 2 F
			3 0 1 S
			3 0 1 K
			6 5 2 L
		審査請求 未請求 請求項の数99	〇 L (全 52 頁)
			最終頁に続く

(21)出願番号	特願平11-266668	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成11年 9 月21 日(1999.9.21)	(72)発明者	星野 裕 東京都小平市上水本町五丁目20番 1 号 株 式会社日立製作所半導体グループ内
		(72)発明者	池田 修二 東京都小平市上水本町五丁目20番 1 号 株 式会社日立製作所半導体グループ内
		(74)代理人	100075096 弁理士 作田 康夫

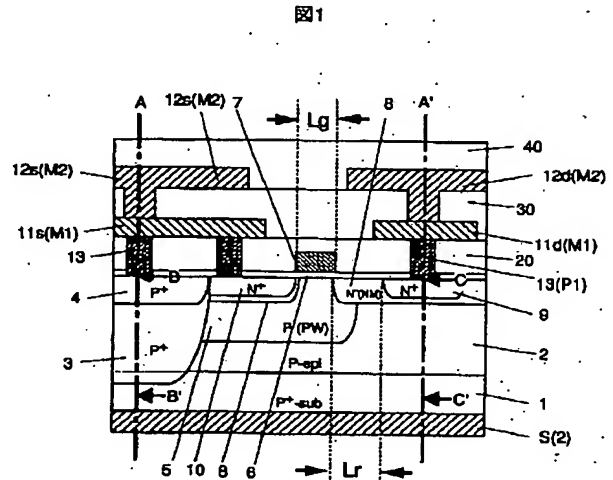
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ドレインオフセット領域を有する高周波増幅用MOSFETにおいて、微細化およびオン抵抗低減を図る。

【解決手段】 ソース領域１０、ドレイン領域９およびリーチスルー層３（４）上に電極引き出し用の導体プラグ１３（ｐ１）が設けられている。その導体プラグ１３（ｐ１）にそれぞれ第１層配線１１ｓ、１１ｄ（Ｍ１）が接続され、さらにそれら第１層配線１１ｓ、１１ｄ（Ｍ１）に対して、導体プラグ１３（ｐ１）上で裏打ち用の第２層配線１２ｓ、１２ｄが接続されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】第 1 導電型の半導体基板と、
上記半導体基板の上面に形成された第 1 導電型の半導体層と、

上記半導体層の主面一部に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第 1 導電型とは反対の第 2 導電型の第 1、第 2 領域と、上記第 2 領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、
上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、

上記半導体層の主面他部に第 1 領域および上記半導体基板に接するように形成された第 1 導電型のリーチスルー層と、

上記ゲート電極、上記第 1 領域、上記第 2 領域および上記リーチスルー層上を覆う第 1 絶縁膜と、

上記第 1 絶縁膜内に設けられた開口を介して上記第 1 領域、上記第 2 領域の高濃度領域および上記リーチスルー層にそれぞれ接続された、第 1 導体プラグ、第 2 導体プラグおよび第 3 導体プラグと、

上記第 1 導体プラグと第 3 プラグとに接続された第 1 導体層、および上記第 2 導体プラグに接続された第 2 導体層と、そして上記半導体基板の下面に接続された第 3 導体層とから成ることを特徴とする半導体装置。

【請求項 2】請求項 1 において、上記第 1 導体層および上記第 2 導体層上に第 2 絶縁膜が被覆され、上記第 2 絶縁膜に対し、上記第 1 導体プラグおよび上記第 2 導体プラグ上に位置し、上記第 2 絶縁膜に対してそれぞれ第 1 開口および第 2 開口が設けられ、上記第 1 開口を通して第 1 配線層が上記第 1 導体層に接続され、上記第 2 開口を通して第 2 配線層が上記第 2 導体層に接続されていることを特徴とする半導体装置。

【請求項 3】請求項 1 において、第 3 導体プラグが上記第 1 絶縁膜内に設けられた開口を介して上記ゲート電極に接続され、上記第 3 プラグに第 4 導体層が接続されていることを特徴とする半導体装置。

【請求項 4】請求項 1 において、上記第 1、第 2 導体プラグはタングステンより成り、上記第 1、第 2 導体層はアルミニウム合金より成ることを特徴とする半導体装置。

【請求項 5】請求項 4 において、上記第 1、第 2 導体層は A l C u 合金より成ることを特徴とする半導体装置。

【請求項 6】請求項 3 において、上記第 3 導体プラグはタングステンより成り、上記第 4 導体層はアルミニウム合金より成ることを特徴とする半導体装置。

【請求項 7】請求項 6 において、上記第 1、第 2 導体層は A l C u 合金より成ることを特徴とする半導体装置。

【請求項 8】請求項 2 において、上記第 1、第 2 配線層はアルミニウム合金より成ることを特徴とする半導体装置。

【請求項 9】請求項 1 において、上記第 1、第 2 導体プラグは W より成り、上記第 1、第 2 導体層は A l C u 合金より成り、上記第 3 導体層は、上記半導体基板の下面に接して N i , T i および A u を含む電極構造であることを特徴とする半導体装置。

【請求項 10】請求項 3 において、上記第 3 導体プラグは W より成り、上記ゲート電極は多結晶 S i 上に金属シリサイドが積層された電極構造であり、上記上記第 4 導体層は A l C u 合金より成ることを特徴とする半導体装置。

【請求項 11】第 1 導電型の半導体基板と上記半導体基板の上面に形成された第 1 導電型の半導体層とから成る半導体本体に、絶縁ゲート電界効果トランジスタと、上記トランジスタを保護するためにゲートに接続された保護ダイオードとが構成された半導体装置であって、

上記絶縁ゲート電界効果トランジスタは、素子分離領域により区画された上記半導体層の第 1 主面部に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第 1 導電型とは反対の第 2 導電型の第 1、第 2 領域と、上記第 2 領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、

上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、

上記第 1 主面部の一部に第 1 領域および上記半導体基板に接するように形成された第 1 導電型の第 1 リーチスルー層と、

上記ゲート電極、上記第 1 領域、上記第 2 領域および上記第 1 リーチスルー層上を覆う第 1 絶縁膜と、

上記第 1 絶縁膜内に設けられた開口を介して上記第 1 領域、上記第 2 領域の高濃度領域および上記第 1 リーチスルー層にそれぞれ接続された、第 1 導体プラグ、第 2 導体プラグおよび第 3 導体プラグと、

上記第 1 導体プラグと第 3 プラグとに接続された第 1 導体層、および上記第 2 導体プラグに接続された第 2 導体層と、そして上記半導体基板の下面に接続された第 3 導体層とから成り、

上記保護ダイオードは、素子分離領域により区画された上記半導体層の第 2 主面部に形成された第 2 導電型の第 3 領域と、

上記第 3 領域内に形成された第 1 導電型の第 4 領域および第 5 領域とから成り、上記第 4 領域、上記第 3 領域および上記第 5 領域とで構成されたバック・ツー・バック・ダイオードであることを特徴とする半導体装置。

【請求項 12】請求項 11 において、上記第 4 領域は第 4 導体プラグを介して、上記半導体層主面上に設けられたゲート電極用パッドに電氣的に接続されていることを特徴とする半導体装置。

【請求項 13】請求項 12 において、上記第 4 プラグは複数のプラグから成ることを特徴とする半導体装置。

【請求項14】請求項11において、上記第2主面部は上記第1絶縁膜に覆われ、第4導体プラグおよび第5導体プラグがそれぞれ上記第1絶縁膜に設けられた開口を介して上記第4領域および上記第5領域に接続され、第6導体層および第7導体層が上記第4導体プラグおよび上記第5導体プラグに接続され、上記第2主面部に上記第5領域に接し、上記半導体基板に接する第2リーチスルー層が配置されていることを特徴とする半導体装置。

【請求項15】請求項14において、上記第6導体層が上記素子分離領域上に延在し、上記素子分離領域上においてゲート電極用パッドが上記第6導体層に接続されていることを特徴とする半導体装置。

【請求項16】請求項14において、上記第1、第2、第3、第4および第5導体プラグはタングステンより成り、上記第1、第2、第6および第7導体層はアルミニウム合金より成ることを特徴とする半導体装置。

【請求項17】請求項16において、上記第1、第2、第6および第7導体層はAlCu合金より成ることを特徴とする半導体装置。

【請求項18】ドレインオフセット領域を有する電力用絶縁ゲート電界効果型半導体装置であって、P型シリコン半導体層に互いに離間してN型ソース領域およびオフセット領域を有するN型ドレイン領域が形成され、上記N型ソース領域と上記オフセット領域との間のチャネル領域となる上記P型シリコン半導体層表面にゲート絶縁膜を介してゲート電極が形成され、上記ゲート電極はP型不純物を含むシリコン半導体層より成ることを特徴とする絶縁ゲート型電界効果型半導体装置。

【請求項19】請求項18において、上記ゲート電極は、P型不純物を含む多結晶シリコン層と、該多結晶シリコン層上に形成された金属シリサイド層とから成ることを特徴とする絶縁ゲート型電界効果型半導体装置。

【請求項20】請求項18において、上記ゲート絶縁膜は、熱酸化によって形成した第1シリコン酸化膜と、上記シリコン酸化膜上に気相化学成長によって形成した第2シリコン酸化膜とから成ることを特徴とする絶縁ゲート型電界効果型半導体装置

【請求項21】P型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第1のN型領域および第2のN型領域と、上記半導体層の主面内の上記第1のN型領域および第2のN型領域の間であって、上記第1のN型領域から離間し、そして上記第2のN型領域に接して位置された、上記第2のN型領域よりも低不純物濃度を有する第3のN型領域と、

上記第1のN型領域と上記第3のN型領域との間に位置し、チャネルが形成される上記半導体層の主面上であって、端部が上記第1領域および上記第3領域をそれぞれ

オーバーラップし、かつ上記第1領域および上記第3領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第1のN型領域と上記第3のN型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加するP型分布域と、上記P型分布域に重なり、上記半導体層の表面から上記半導体基板に向かって減少するN型分布域とで構成されたことを特徴とする半導体装置。

【請求項22】P型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第1のN型領域および第2のN型領域と、

上記半導体層の主面内の上記第1のN型領域および第2のN型領域の間であって、上記第1のN型領域から離間し、そして上記第2のN型領域に接して位置された、上記第2のN型領域よりも低不純物濃度を有する第3のN型領域と、

上記第1のN型領域と上記第3のN型領域との間に位置し、チャネルが形成される上記半導体層の主面上であって、端部が上記第1領域および上記第3領域をそれぞれオーバーラップし、かつ上記第1領域および上記第3領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第1のN型領域と上記第3のN型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加するP型分布域と、上記P型分布域に重なり、上記半導体層の表面から離れた内部において不純物濃度のピークを有するN型分布域とで構成されたことを特徴とする半導体装置。

【請求項23】第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、

上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、

上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、

上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第1領域と上記第3領域との間に位置した上記半導体層の主面には、上記第3領域内に終端する第1導電型の第4領域が選択的に形成され、

上記ゲート電極下に位置する上記第4領域内に、上記第3領域よりも深い位置に上記第4領域の表面不純物濃度よりも高い不純物濃度を有する第1導電型のポケット層を有することを特徴とする半導体装置。

【請求項24】請求項23において、上記第1電極と上記第3電極は電氣的に接続されていることを特徴とする半導体装置。

【請求項25】請求項23において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられていることを特徴とする半導体装置。

【請求項26】請求項23において、上記第3電極は、第1基準電位に接続され、上記第2電極は、第2基準電位に接続されることを特徴とする半導体装置。

【請求項27】請求項26において、上記第3電極はソース電極であり、上記第2電極は、ドレイン電極であることを特徴とする半導体装置。

【請求項28】請求項26または27において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位であることを特徴とする半導体装置。

【請求項29】請求項23において、上記ポケット層は上記半導体層の主面に対して斜め方向のイオン打ち込み方法により形成されていることを特徴とする半導体装置。

【請求項30】第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、

上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、

上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、

上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも大きいことを特徴とする半導体装置。

10 【請求項31】請求項30において、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には、上記第3領域内に終端する第1導電型の第4領域が選択的に形成されていることを特徴とする半導体装置。

【請求項32】請求項30または31において、上記第1電極と上記第3電極は電氣的に接続されていることを特徴とする半導体装置。

20 【請求項33】請求項30において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられていることを特徴とする半導体装置。

【請求項34】請求項30において、上記第3電極は、第1基準電位に接続され、上記第2電極は、第2基準電位に接続されることを特徴とする半導体装置。

【請求項35】請求項34において、上記第3電極はソース電極であり、上記第2電極は、ドレイン電極であることを特徴とする半導体装置。

【請求項36】請求項34または35において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位であることを特徴とする半導体装置。

30 【請求項37】請求項30において、上記第1膜厚のゲート絶縁膜は、上記第2膜厚のゲート絶縁膜よりテーパー形状を成すように厚く形成されていることを特徴とする半導体装置。

【請求項38】請求項37において、上記第1膜厚のゲート絶縁膜は、バズビーク構造よりなることを特徴とする半導体装置。

【請求項39】(1)第1導電型の半導体基体と、

(2)上記半導体基体の一方の主面に位置された、上記半導体基体よりも低不純物濃度を有する第1導電型の半導体層と、

40 (3)上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、

(4)上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、

50 (5)上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート

ト絶縁膜を介して設けられたゲート電極と、

(6)上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして

(7)上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第3領域とゲート電極とがオーバーラップしている間にバズピークが存在し、

上記第3領域表面の不純物濃度は、上記第2領域の不純物濃度にほぼ等しいか、もしくはそれ以上であることを特徴とする半導体装置。

【請求項40】請求項39において、上記第3領域表面の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上のピーク値を有することを特徴とする半導体装置。

【請求項41】請求項39または40において、上記第3領域表面の不純物濃度は表面からの深さが0.005 μm 以内に分布していることを特徴とする半導体装置。

【請求項42】主面に低不純物濃度を有する第1導電型の半導体層が形成された基板と、

上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、

上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、

上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、そして、

上記ゲート絶縁膜下の上記半導体層内に形成された第1導電型のウエル領域とを有し、

上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも厚く形成され、上記第3領域は浅い高濃度領域と深い低濃度領域とから成ることを特徴とする半導体装置。

【請求項43】請求項42において、上記ウエル領域が上記第3領域に終端していることを特徴とする半導体装置。

【請求項44】請求項42において、上記ウエル領域が上記ゲート電極下に終端していることを特徴とする半導体装置。

【請求項45】請求項42において、上記ゲート電極は、P型不純物を含む多結晶シリコン層と上記多結晶シリコン上に積層された高融点シリサイド層とから成ることを特徴とする半導体装置。

【請求項46】半導体基板と、
上記半導体基板の主面上に形成された第1導電型を持つ半導体層と、

上記半導体層主面に互いに離間されて位置した、上記第1導電型とは反対の第2導電型を持つ第1および第2領域と、

上記第1領域と第2領域との間に位置した上記半導体層主面内であって、上記第1領域から離間し、上記第2領域に接するように形成された第2導電型の第3領域と、
上記第1領域と上記第3領域との間のチャンネル領域となる上記半導体層の主面に設けられたゲート酸化膜と、
上記ゲート酸化膜上に設けられたゲート導体層と、

10 上記第1領域に接続された第1導体層と、
上記第2領域に接続された第2導体層と、そして、
上記半導体基板の裏面に接続された第3導体層とから成り、

上記第1領域と上記ゲート絶縁膜との間に位置する第1ゲート酸化膜および上記第3領域と上記ゲート絶縁膜との間に位置する第2ゲート酸化膜のそれぞれの膜厚が上記チャンネル領域となる半導体層の主面に設けられた第3ゲート酸化膜の膜厚よりも大きいことを特徴とする半導体装置。

20 【請求項47】請求項46において、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には第1導電型の第4領域が、上記第3領域内で終端していることを特徴とする高周波用半導体装置。

【請求項48】請求項46または請求項47において、上記第1導体層と上記導体層は電気的に接続されていることを特徴とする半導体装置。

【請求項49】請求項46において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられていることを特徴とする半導体装置。

30 【請求項50】請求項46において、上記第3導体層は、第1基準電位に接続され、上記第2導体層は、第2基準電位に接続されることを特徴とする半導体装置。

【請求項51】請求項50において、上記第3導体層はソース裏面電極であり、上記第2導体層は、ドレイン電極であることを特徴とする高周波用半導体装置。

【請求項52】請求項50または請求項51において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位であることを特徴とする半導体装置。

40 【請求項53】請求項46において、上記第1および第2ゲート酸化膜は、バズピーク構造よりなることを特徴とする半導体装置。

【請求項54】半導体層の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、

50 上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、

上記それぞれの金属プラグに第1の金属導体層が接続され、

上記第1の金属導体層上に層間絶縁膜が被覆され、
上記ドレイン領域に接続された金属プラグ上に位置して
上記層間絶縁膜に設けられたドレイン接続用開口を通して、
上記第1の金属導体層のうちドレイン用のそれぞれの
第1の金属導体層に対し、ドレイン用の第2の金属導
体層が共通接続され、

上記層間絶縁膜に設けられたソース接続用開口を通し
て、上記第1の金属導体層のうちソース用のそれぞれの
第1の金属導体層に対し、ソース用の第2の金属導体層
が共通接続され、

上記層間絶縁膜に設けられたゲート接続用開口を通し
て、上記第1の金属導体層のうちゲート用のそれぞれの
第1の金属導体層に対し、ゲート用の第2の金属導体層
が共通接続され、

上記ドレイン用の第2の金属導体層はドレイン用のボン
ディングパッド部を有し、

上記ゲート用の第2の金属導体層はゲート用のボンディ
ングパッド部を有することを特徴とする絶縁ゲート型半
導体装置。

【請求項55】請求項54において、上記半導体層は半
導体基板の表面に形成され、上記半導体基板の裏面にソ
ース電極が設けられていることを特徴とする絶縁ゲート
型半導体装置。

【請求項56】請求項55において、上記半導体層内に
上記半導体基板に達する上記半導体層と同一導電型で、
上記半導体層よりも高不純物濃度を有する貫通層が設け
られ、上記貫通層の主面に上記ソース用の第1の金属導
体層が金属プラグを介して接続されていることを特徴と
する絶縁ゲート型半導体装置。

【請求項57】請求項56において、上記金属プラグ上
に位置した上記層間絶縁膜に設けられたソース接続用開
口を通して、上記ソース用の第1の金属導体層に対し、
上記ソース用の第2の金属導体層が接続されていること
を特徴とする絶縁ゲート型半導体装置。

【請求項58】請求項56において、上記ソース用の第
2の金属導体層はプローブ用ソースパッド部を有するこ
とを特徴とする絶縁ゲート型半導体装置。

【請求項59】請求項56において、上記ドレインパ
ッド部に近接して上記ソース用の第2の金属導体層のイク
ステンション部が配置され、上記イクステンション部の
下に位置して、上記貫通層と同一の構成を有する他の貫
通層が上記半導体層内に設けられ、上記イクステンショ
ン部が上記他の貫通層に電氣的接続されていることを特
徴とする絶縁ゲート型半導体装置。

【請求項60】請求項56において、上記ゲートパッド
部に近接して上記ソース用の第2の金属導体層とは異なる
ソース用の第2の金属導体層が配置され、上記異なる
ソース用の第2の金属導体層の下に位置して、上記貫通

層と同一の構成を有する他の貫通層が上記半導体層内に
設けられ、上記異なるソース用の第2の金属導体層が上
記他の貫通層に電氣的接続されていることを特徴とする
絶縁ゲート型半導体装置。

【請求項61】請求項59において、上記ゲート用の第
1の金属導体層は上記ゲート電極用導体層に沿って配置
され、

上記ドレイン用の第1の金属導体層および上記ソース用
の第1の金属導体層は上記ゲート用の第1の金属導体層
に沿ってそれぞれ配置され、

上記ドレイン用の第2の金属導体層は上記ドレイン用の
第1の金属導体層上に位置して上記ドレイン用の第1の
金属導体層に沿って配置され、

上記ソース用の第2の金属導体層は上記ソース用の第1
の金属導体層上に位置して上記ソース用の第1の金属導
体層に沿って配置されていることを特徴とする絶縁ゲート
型半導体装置。

【請求項62】半導体層を有する半導体チップの主面に
複数のチャネル領域と、それぞれの上記チャネル領域を
挟んで設けられたドレイン領域およびソース領域と、上
記それぞれのチャネル領域表面にゲート絶縁膜を介して
設けられたゲート電極用導体層とを有する絶縁ゲート型
半導体装置であって、

上記それぞれのドレイン領域および上記それぞれのソー
ス領域の主面に金属プラグが接続され、

上記それぞれの金属プラグに第1の金属導体層が接続さ
れ、

上記第1の金属導体層上に層間絶縁膜が被覆され、
上記ドレイン領域に接続された金属プラグ上に位置して
上記層間絶縁膜に設けられたドレイン接続用開口を通し
て、上記第1の金属導体層のうちドレイン用のそれぞれの
第1の金属導体層に対し、ドレイン用の第2の金属導
体層が共通接続され、

上記層間絶縁膜に設けられたソース接続用開口を通し
て、上記第1の金属導体層のうちソース用のそれぞれの
第1の金属導体層に対し、ソース用の第2の金属導体層
が共通接続され、

上記層間絶縁膜に設けられたゲート接続用開口を通し
て、上記第1の金属導体層のうちゲート用のそれぞれの
第1の金属導体層に対し、ゲート用の第2の金属導体層
が共通接続され、

上記ドレイン用の第2の金属導体層はドレイン用のボン
ディングパッド部を有し、

上記ゲート用の第2の金属導体層はゲート用のボンディ
ングパッド部を有する絶縁ゲート型電界効果トランジス
タを単位ブロックとし、

上記単位ブロックの絶縁ゲート型電界効果トランジスタ
が上記半導体チップの主面に複数配置されていることを
特徴とする絶縁ゲート型半導体装置。

【請求項63】請求項62において、上記半導体チップ

は互いに対向する第1の辺、第2の辺を有し、上記単位ブロックの絶縁ゲート型電界効果トランジスタの複数の上記第1、第2の辺に沿って並列配置され、上記ドレイン用のボンディングパッド部が上記第1の辺に沿って配置され、上記ゲート用のボンディングパッド部が上記第2の辺に沿って配置されていることを特徴とする絶縁ゲート型半導体装置。

【請求項64】請求項63において、上記ソース用の第2の金属導体層はプローブ用ソースパッドを有し、上記単位ブロック内のプローブ用ソースパッド部が上記第2の辺に沿って配置されていることを特徴とする絶縁ゲート型半導体装置。

【請求項65】請求項63において、最も外側に配置されたゲート用のボンディングパッド部にそれぞれゲート保護素子が電気的接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項66】請求項65において、上記半導体チップ主面に上記第1の金属導体層と同層の金属接続層が形成され、上記金属接続層により上記ゲート保護素子と上記ボンディングパッド部とが接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項67】半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、

上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、

上記それぞれの金属プラグに第1の金属導体層が接続され、

上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、

上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、

上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、

上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、

上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、

上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体基板の主面に複数配置され、

上記単位ブロック間において、上記ゲート用の第1の金属導体層と上記ゲート用の第2の金属導体層とが接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項68】半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、

上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、

上記それぞれの金属プラグに第1の金属導体層が接続され、

上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、

上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、

上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、

上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有し、上記ドレイン領域は上記チャンネル領域間に挟まれた共通ドレイン領域であり、上記ゲート電極用導体層はそれぞれ独立して設けられていることを特徴とする絶縁ゲート型半導体装置。

【請求項69】半導体層を有する半導体基板の主面に、それぞれ複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第1および第2絶縁ゲート型電界効果トランジスタが配置され、第1、第2絶縁ゲート型電界効果トランジスタのそれぞれのドレイン領域にインピーダンス整合用の第1抵抗体が電気的接続され、第1、第2絶縁ゲート電界効果トランジスタのそれぞれのゲート電極用導体層にインピーダンス整合用の第2抵抗体が電気的接続されて成ることを特徴とする絶縁ゲート型半導体装置。

【請求項70】請求項69において、上記第1、第2抵抗体は上記ゲート電極用導体層と同一の材料から成ることを特徴とする絶縁ゲート型半導体装置。

【請求項71】請求項69において、第1、第2絶縁ゲート型電界効果トランジスタと同様に構成された電流検出用素子が上記半導体基板の主面に配置され、上記第1

または第2絶縁ゲート型電界効果トランジスタと上記電流検出用素子との間にシールド層が配置されて成ることを特徴とする絶縁ゲート型半導体装置。

【請求項72】請求項71において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上記金属プラグに接続された第1の金属導体層と、上記第1の金属導体層に接続された第2の金属導体層とから成ることを特徴とする絶縁ゲート型半導体装置。

【請求項73】半導体層を有する半導体基板の主面に、それぞれ複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第1および第2絶縁ゲート型電界効果トランジスタが配置され、上記主面に上記第1および第2絶縁ゲート型電界効果トランジスタに対するドレイン用ボンディングパッドおよびゲート用ボンディングパッドがそれぞれ配置され、上記半導体基板の裏面にソース電極が配置され、上記第1および第2絶縁ゲート型電界効果トランジスタ間にシールド層が配置されて成ることを特徴とする絶縁ゲート型半導体装置。

【請求項74】請求項73において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上記金属プラグに接続された第1の金属導体層と、上記第1の金属導体層に接続された第2の金属導体層とから成ることを特徴とする絶縁ゲート型半導体装置。

【請求項75】第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層主面に素子形成領域を区画するために形成されたフィールド絶縁膜と、上記素子形成領域内に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記素子形成領域内に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層とを有する半導体装置の製造方法において上記半導体層主面に選択的に上記リーチスルー層を形成するための不純物を導入する工程と、熱酸化により上記半導体層主面上に上記フィールド絶縁膜を選択的に形成するとともに、上記不純物を引き伸ばし、上記半導体基板に接する上記リーチスルー層を形成する工程と、上記フィールド絶縁膜によって区画された素子形成領域に表面上に上記ゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に上記ゲート電極を形成する工程と、しかる後、

上記素子形成領域内に上記第1、第2領域に形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項76】請求項75において、上記半導体層の厚さは2.5 μ m以上、3.5 μ m以下に形成されていることを特徴とする半導体装置の製造方法。

【請求項77】請求項75において、上記フィールド絶縁膜形成工程の後、上記素子形成領域内に、第1導電型の不純物を導入して、上記チャンネルが形成される領域としてのウエル領域を形成することを特徴とする半導体装置の製造方法。

【請求項78】請求項77において、上記第1導電型の不純物導入は2段階のイオン打ち込みにより行われることを特徴とする半導体装置の製造方法。

【請求項79】請求項75において、上記フィールド絶縁膜形成工程の後であって、上記ウエル形成に先立ってアニール処理を行うことを特徴とする半導体装置の製造方法。

【請求項80】請求項75において、上記低濃度領域は上記ゲート電極に自己整合形成されることを特徴とする半導体装置の製造方法。

【請求項81】請求項80において、上記低濃度領域は、上記素子形成領域内に第2導電型の不純物を導入する第1のイオン打ち込み工程と、上記第1のイオン打ち込みよりも高濃度の第2導電型の不純物を導入する第2のイオン打ち込み工程とから成ることを特徴とする半導体装置の製造方法。

【請求項82】請求項79において、上記ゲート電極を形成工程の後であって、上記ゲート電極端部下に位置し、上記低濃度領域が形成される素子形成領域表面に熱酸化によりパーズビーク酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項83】請求項82において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記パーズビーク酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項84】請求項75において、上記ゲート電極を形成工程の後であって、上記ゲート電極両端部下に位置した上記素子形成領域表面に熱酸化によりパーズビーク酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項85】請求項84において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記パーズビーク酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項86】請求項75において、上記ゲート絶縁膜の形成工程は、窒素を含む酸素雰囲気中での熱処理により酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 8 7】請求項 8 2 または請求項 8 4 のいずれかにおいて、上記パーズピーク酸化膜は窒素を含む熱酸化により形成することを特徴とする半導体装置の製造方法。

【請求項 8 8】請求項 8 2 または請求項 8 4 のいずれかにおいて、上記パーズピーク酸化膜を形成した後、上記パーズピーク酸化膜内に窒素イオンをイオン打ち込み方法により導入することを特徴とする半導体装置の製造方法。

【請求項 8 9】(1) 主面に第 1 導電型の半導体層を有する半導体基板を準備する工程と、

(2) 上記半導体層主面に上記半導体基板に到達するリーチスルー層を形成するための第 1 導電型の不純物を選択的に不純物を導入する工程と、

(3) 熱酸化により上記半導体層主面に素子形成領域を区画するためのフィールド絶縁膜を選択的に形成する工程と、

(4) 上記フィールド絶縁膜によって区画された素子形成領域に表面にゲート絶縁膜を形成する工程と、

(5) 上記ゲート絶縁膜上にゲート電極を形成する工程と、

(6) 上記素子形成領域内に第 1 導電型のオフセット領域を上記ゲート電極に対し自己整合形成する工程と、

(7) 上記素子形成領域内に、上記ゲート電極に対し自己整合された第 1 導電型の第 1 領域を、上記ゲート電極端から離間して上記オフセット領域に接し、そして上記オフセット領域よりも高不純物濃度を有する第 1 導電型の第 2 領域をそれぞれ形成する工程と、続いて

(8) 上記素子形成領域を覆うように第 1 の絶縁膜を形成する工程と、

(9) 上記第 1 の絶縁膜に、上記第 1、第 2 領域主面および上記リーチスルー層主面を露出するための開口をそれぞれ形成する工程と、

(10) 上記開口内に、上記第 1、第 2 領域主面および上記リーチスルー層に接続する第 1、第 2、第 3 金属プラグをそれぞれ形成する工程と、

(11) 上記第 1、第 3 金属プラグを互いに接続する第 1 導体層を、上記第 2 金属プラグに接続する第 2 導体層をそれぞれパターン形成する工程と、

(12) 上記半導体基板の裏面に第 3 導体層を形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項 9 0】請求項 8 9 において、上記(12)工程に先立って上記半導体基板の裏面を研削することを特徴とする半導体装置の製造方法。

【請求項 9 1】請求項 8 9 において、上記(12)工程に続いて、

(13) 上記第 1 導体層および上記第 2 導体層上に第 2 絶縁膜を被覆する工程と、

(14) 上記第 2 絶縁膜に対し、上記第 1 導体プラグおよび上記第 2 導体プラグ上に位置し、上記第 2 絶縁膜に対し

てそれぞれ第 1 開口および第 2 開口を設ける工程と、

(15) 上記第 1 開口を通して上記第 1 導体層に接続する第 1 配線層を、上記第 2 開口を通して上記第 2 導体層に接続する第 2 配線層をそれぞれパターン形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9 2】請求項 8 9 において、上記(5)工程に先立って、第 1 導電型の不純物を導入し、ウエル領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9 3】請求項 9 2 において、上記ウエル形成工程は上記(4)工程に続いて行われることを特徴とする半導体装置の製造方法。

【請求項 9 4】請求項 9 2 または請求項 9 3 いずれかにおいて、上記ウエル形成工程は二段階のイオン打ち込み方法により行われることを特徴とする半導体装置の製造方法。

【請求項 9 5】請求項 8 9 において、上記(8)工程の第 1 の絶縁膜は窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項 9 6】請求項 9 2 において、上記(5)工程の後に、上記ウエル領域内に上記素子形成領域主面に対して斜め方向より第 1 導電型の不純物をイオン打ち込みすることにより上記ゲート電極下に位置した埋め込み領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9 7】請求項 9 6 において、上記埋め込み領域形成工程は、上記(7)工程で上記第 1 および第 2 領域形成のために用いられたマスクを使用することを特徴とする半導体装置の製造方法。

【請求項 9 8】第 1 導電型の低抵抗半導体基板上に形成された上記第 1 導電型と同一導電型の高抵抗層表面に絶縁ゲート型電界効果トランジスタが形成されている絶縁ゲート型半導体装置であって、上記第 1 導電型とは反対の導電型の第 2 導電型の低抵抗ソース領域が該高抵抗層内に形成された第 1 導電型の低抵抗層を介して上記低抵抗基板に接続され、上記半導体装置の第 2 導電型の低抵抗ドレイン領域が第 2 導電型の高抵抗層を介してゲート電極端から離れたオフセット構造を構成し、ゲート電極のチャンネル方向長さが $0.35\ \mu\text{m}$ 以下、ゲート酸化膜厚さが $10\ \text{nm}$ 以上 $12\ \text{nm}$ 以下、ドレイン領域のゲート電極端からのオフセット長さが $0.4\ \mu\text{m}$ 以上 $0.8\ \mu\text{m}$ 以下、半導体基板上の高抵抗層の厚さが $2.5\ \mu\text{m}$ 以上、 $3.5\ \mu\text{m}$ 以下でドレイン耐圧が $10\ \text{V}$ 以上であることを特徴とする絶縁ゲート型半導体装置。

【請求項 9 9】絶縁ゲート型電界効果トランジスタを構成する複数の半導体チップにより増幅回路を構成する高周波モジュールであって、上記それぞれの半導体チップは、半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられた

ドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有し、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、

上記それぞれの金属プラグに第1の金属導体層が接続され、

上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、

上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、

上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、

上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、

上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、

上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体層主面に複数配置されていることを特徴とする高周波モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セルラーなどの500MHz以上、2.5GHz以下のマイクロ波帯を使用する移動体通信装置に使用される半導体装置に係わり、特に、高周波信号を電力増幅して出力する高周波電力増幅器に有効な技術に関する。

【0002】

【従来の技術】近年、GSM(Global System for Mobile Communications)方式、PCS(Personal Communication Systems)方式、PDC(Personal Digital Cellular)方式、CDMA(Code Division Multiple Access)方式といった通信方式に代表される移動体通信装置(いわゆる携帯電話)が、世界的に普及している。

【0003】一般に、移動体通信装置は、電波の放射と受信をするアンテナ、電力変調された高周波信号を増幅してアンテナへ供給する高周波電力増幅器、アンテナで受信した高周波信号を信号処理する受信部、これらの制御を行う制御部、そしてこれらに電源電圧を供給する電池(バッテリー)で構成される。

【0004】このような移動体通信装置および移動体通

信装置に使用される半導体装置については、以下の公知文献に開示されている。

【0005】(1)移動体通信装置の構成については、例えば「日立評論」,vol.78, No.11(1996-11),pp21-26(文献1)に開示されている。

【0006】(2)代表的なGSM方式の高周波電力増幅器の構成は、例えばISSCC98, DIGEST OF TECHNICAL PAPERS(February 5, 1998) pp50-52(文献2)に述べられている。

10 【0007】この文献によれば、回路の安定設計と、オフ状態でのリーク電流の低減のため、FETのしきい値電圧を適正值に制御している。増幅器の構成としては、3段増幅回路の最終段素子を2チップ並列とし、それぞれに整合回路を設けて合成することで、1チップの場合よりも高出力を実現している。文献では、この増幅器の構成をDD-CIMA(Divided Device and Collectively Impedance matched Amplifier)技術と称している。

【0008】(3)高周波電力増幅器に適用される増幅素子は、例えばIEDM97 Technical Digest(1997), pp51-54(文献3)に述べられている。

【0009】この文献によれば、増幅素子をSi(シリコン)半導体を用いたパワー絶縁ゲート型電界効果トランジスタ(以下、パワーMOSFETと称する)で構成し、高性能化を実現することが開示されている。

【0010】具体的には、MOSFETのゲート長を0.4μmにすることで性能の向上を図っている。また、パワーMOSFETのドレイン側に長さ0.7μm程度のオフセット層を設けることでドレイン耐圧を20V以上に設定している。そしてさらに、高周波動作させるためにはゲート抵抗の低減が重要であり、金属シリサイド/シリコン積層ゲート電極にアルミニウム配線をショートさせた構造(A1-shortened silicon gate structure)によりゲート抵抗の低減を図っている。

【0011】(4)素子の高効率化のために化合物半導体(GaAs)ウエハを採用する動きがある。そのような技術動向は例えば、NIKKEI ELECTRONICS 1998.11.2(no.729) pp238-245(文献4)に述べられている。ただし、この文献にも述べられているように、GaAs技術のウエハ単価はSiに比べて高い。

40 【0012】

【発明が解決しようとする課題】移動体通信装置の普及を図るために、装置の更なる小型軽量化、低消費電力化が要望されている。そのため、移動体通信装置を構成する各構成部品のより一層の小型軽量化、低消費電力化を実現する必要がある。

【0013】上記構成部品の一つとして、アンテナへ高周波信号を供給する高周波電力増幅器がある。一般に、この高周波電力増幅器は最も消費電力が大きく、移動体通信装置の低消費電力化を図るためには、この高周波電力増幅器の消費電力を低減(効率向上)を追求すること

が有効である。シリコン(Si)半導体を用いたGSM方式の増幅器で、動作周波数900MHz、電源電圧3.5V時で出力電圧3.5W、総合効率(η_{all})50%程度を実現した。ここでの総合効率は、パワーMOSFET3段の電力増幅部から構成された高周波電力増幅器(高周波モジュール)での効率を言う。

【0014】この時の出力段増幅素子であるSiを用いたパワーMOSFETの性能は、DD-CIMA技術を前提とすると、2W出力で付加効率(η_{add})55%程度であり、増幅器の総合効率を55%以上に向上させるには65%以上の付加効率をパワーMOSFETにおいて実現する必要があった。

【0015】なお、マイクロ波パワーMOSFETにおける付加効率(η_{add})の定義については、例えば「光マイクロ波半導体応用技術」1996年2月29日、第1版、第1刷(株式会社サイエンスフォーラム 発行)pp59-66(文献5)に述べられている。

【0016】同様にPCS方式の増幅器では、動作周波数1900MHz時で出力電圧2W、総合効率45%程度を実現している。この時の出力段増幅素子であるパワーMOSFETの性能は1W出力で50%程度である。増幅器の総合効率を50%以上に向上させるには、55%以上の付加効率をパワーMOSFETにおいて実現する必要があった。

【0017】増幅素子(パワーMOSFET)の付加効率を向上させるには、オン抵抗、ゲート抵抗、寄生容量の低減と相互コンダクタンスの向上があげられる。本発明の目的は、高周波増幅器に適用される半導体装置の高付加効率を図る技術を提供することにある。

【0018】本発明の具体的な目的は、半導体装置のオン抵抗低減を図る技術を提供することにある。

【0019】本発明の具体的な他の目的は、遮断周波数の向上を図る技術を提供することにある。

【0020】本発明の他の目的は、高周波、大電力動作における付加効率の向上と、信頼性および量産性の確保を両立する半導体装置を実現することにある。本発明のさらに他の目的は、高周波電力増幅器の小型化・軽量化を図る技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0023】本発明の一つの代表的な半導体装置の構成は、第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層の主面一部に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電

型の第1、第2領域と、上記第2領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記半導体層の主面他部に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層と、上記ゲート電極、上記第1領域、上記第2領域および上記リーチスルー層上を覆う第1絶縁膜と、上記第1絶縁膜内に設けられた開口を介して上記第1領域、上記第2領域の高濃度領域および上記リーチスルー層にそれぞれ接続された、第1導体プラグ、第2導体プラグおよび第3導体プラグと、上記第1導体プラグと第3プラグとに接続された第1導体層、および上記第2導体プラグに接続された第2導体層と、そして上記半導体基板の下面に接続された第3導体層とから成る。

【0024】上述した手段によれば、第1領域(ソース)、上記第2領域(ドレイン)の高濃度領域および上記リーチスルー層(ソース打ち抜き層)の電極引き出しに導体プラグが使用されているため、上記第1および第2導体層(第1層配線M1)は平坦面を有する電極パターンを構成している。このため、上記第1および第2導体層に対する低抵抗配線実現のための裏打ち配線層(第2層配線M2)の配置およびM1・M2コンタクトの自由度が増すことになる。

【0025】したがって、第1領域、上記第2領域の高濃度領域および上記リーチスルー層に対する配線抵抗の低減が図れる。この結果、オン抵抗を低減できるので、半導体装置の高付加効率化に寄与できる。

【0026】本発明の他の代表的な半導体装置の構成は、P型半導体領域およびそのP型半導体領域に接するドレインオフセット領域を有する絶縁ゲート電界効果半導体装置であって、ゲート絶縁膜に接するゲート電極はP型半導体で構成され、上記P型半導体領域表面にN型層が設けられている。

【0027】上述した手段によれば、ゲート電極がP型半導体、すなわちPゲートにしたことにより、Nゲート(ゲート電極がN型半導体)に比べて、仕事関数差の関係でしきい電圧 V_{th} が1V上がることになる。このため、P型半導体領域表面にN型層を設けたにも係わらずゲート電圧を与えない状態で、ノーマリオフ、つまりエンハンスメント状態を保てる。そして、このN型層の存在は、ドレイン接合からの空乏層の延びを延ばす作用をもたらすことになり、ドレイン耐圧は向上する。そこで、Nゲートと同じ目標値のドレイン耐圧を有するPゲートデバイス(PゲートパワーMOSFET)を設計する場合には、ドレインオフセット領域の濃度を高くすることができる。つまり、ドレインオフセット領域側に空乏層を延ばす必要がなくなったからである。オフセット領域の濃度を高くできるということは、Nゲートデバイスに比べ、ドレインオフセット領域の低抵抗化が図れる

ことを意味するものである。

【0028】また、N型層の存在は、チャネル領域表面の電界緩和をもたらすことになる。したがって、チャネル領域部分のキャリア移動度が向上することになる。キャリア移動度の向上は、その部分の抵抗成分が小さくなったとみることができる。

【0029】さらに、上記の構成に基くキャリア移動度の向上は、ゲート長 L_g を短くしても電流を多く流すことが可能となる。つまり、通常、ゲート長が短くなるとキャリア速度の飽和が顕著に現われ、大電流を流し難くなるからである。

【0030】以上の結果として、同じ耐圧におけるPゲートデバイス、Nゲートデバイスのオン抵抗を比較すると、Pゲートデバイスの方がNゲートデバイスよりも十分低減することが可能となる。すなわち、PゲートパワーMOSFETは高付加効率化が図れる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための図面において、同一機能を有するものは同一

【0032】（実施形態1）本発明の実施形態1を、図1から図5を参照し説明する。

【0033】図1は、本発明の実施形態1である半導体装置（Nゲート・Nチャネル型SiパワーMOSFET）の断面図であり、図2は、本発明の実施形態1である半導体装置の平面図である。図3は、本発明の実施形態1である半導体装置（半導体チップ）のレイアウトを示す平面図であり、図4は、図3に示した半導体装置（半導体チップ）内の保護素子19を拡大した部分的な平面図である。そして、図5は、図4に示した保護素子のD-D'切断部分の断面図である。

【0034】＜基本セルの断面構造＞図1に示した本発明の実施形態1である半導体装置（MOSFETの基本セル）の構成は以下のとおりである。

【0035】P型低抵抗Si基板（第1導電型の半導体基板）1の上面に、P型高抵抗Siエピタキシャル層（第1導電型の半導体層）2が形成されている。基板比抵抗はオン抵抗低減を図る目的から $0.02\Omega\text{cm}$ 以下としている。従来でもパワーMOSFETで適用されているシリコン基板の比抵抗を $0.02\Omega\text{cm}$ 以下にすることは特開平6-97447号公報に開示されている。本実施形態1に適用されるシリコン基板の比抵抗は $0.01\Omega\text{cm}$ である。

【0036】最近では、CMOSICにおいてもエピタキシャルウェハが適用されているが、この場合、基板比抵抗は $10\Omega\text{cm}$ 程度であり、ICにおける基板比抵抗に比べ、およそ3桁ほど小さい。エピタキシャル層は比抵抗 $20\Omega\text{cm}$ 、厚さ $3\mu\text{m}$ を有する。上記公報に開示されているエピタキシャル層の厚さは $5\mu\text{m}$ であり、オ

ン抵抗低減を目的にそれよりも $2\mu\text{m}$ 薄くされる。

【0037】エピタキシャル層2の主面一部に、チャネルが形成される領域としてP型ウエル領域5(PW)が選択的に形成されている。このP型ウエル領域はドレインからソースに延びる空乏層延びを抑えためのパンチスルーストップを目的としている。そして、P型ウエル領域5(PW)表面には、ゲート絶縁膜（ゲート酸化膜）6を介してゲート電極7が形成されている。

【0038】エピタキシャル層2内であって、P型ウエル領域5（パンチスルーストップ層PW）に接して互いに離間した位置に、高不純物濃度を有するN型ソース領域（第1領域）10、および低不純物濃度を有するN型ドレインオフセット領域（第3領域）8(NM)が形成されている。これらN型ソース領域10およびN型ドレインオフセット領域8(NM)は、ゲート電極7に対して自己整合され、それらの一部はゲート電極7に対してオーバラップしている。

【0039】なお、N型ソース領域10下に位置するN型（高抵抗）領域8は、特に必要としているものではない。そのN型（高抵抗）領域8はN型ドレインオフセット領域8(NM)を形成するための不純物導入の際にゲート電極7に対して自己整合形成されたものである。

【0040】ドレインオフセット領域8に接して電極引き出しのための高不純物濃度を有するN型ドレイン領域（第2領域）9が形成されている。

【0041】N型ソース領域10に接してエピタキシャル層2内にその主面から基板1に到達する高不純物濃度（低抵抗）を有するP型ソース打ち抜き層（リーチスルー層）3が形成されている。そのリーチスルー層3表面にはコンタクト用P型低抵抗領域4が形成されている。N型ソース領域10は金属プラグ、第1層配線、金属プラグそしてリーチスルー層3を介してソース裏面電極S1に電気的接続されている。

【0042】なお、図1において、A-A'間が基本セルであり、そのピッチは $6\mu\text{m}$ 程度である。ゲート電極3のゲート長 L_g は $0.3\mu\text{m}$ 、電界緩和によるドレイン耐圧確保のために設けられた上記ドレインオフセット領域8の長さ、すなわちドレインオフセット長 L_r は $0.7\mu\text{m}$ である。ゲート酸化膜厚さは 11nm であり、オン抵抗改善と、酸化膜許容電界を考慮して設定された。このことは後で詳しく述べる。ゲート電極7、N型ソース領域10、N型ドレインオフセット領域8(NM)、N型ドレイン（低抵抗）領域9およびP型ソース打ち抜き層3を覆うように第1絶縁膜（層間絶縁膜）20が形成されている。第1絶縁膜20内には複数の開口が設けられ、それら開口内には、N型ソース領域10、N型ドレイン領域9およびP型ソース打ち抜き層3にそれぞれコンタクトする電極引き出し用の導体プラグP1を有する。導体プラグP1はタングステンより成り、開口内に埋め込まれ、その表面は第1絶縁膜20の表面にほぼ一致してい

る。

【0043】第1絶縁膜20の表面には、N型ソース領域10に接続された導体プラグとP型ソース打ち抜き層3にコンタクトされた導体プラグとを電氣的接続する第1導体層11dが、N型ドレイン領域9にコンタクトされた導体プラグP1に接続する第2導体層11sがそれぞれ第1層配線(M1)としてパターン形成されている。

【0044】第1、第2導体層11d、11sを覆うように第2絶縁膜(層間絶縁膜)30が形成されている。そして、第2絶縁膜には、P型ソース打ち抜き領域3にコンタクトされた導体プラグ上に、N型ドレイン領域9にコンタクトされた導体プラグP1にそれぞれ位置して開口が形成されている。これら開口を介して、配線抵抗の低抵抗化を図るための裏打ち配線としての配線12d、12s(第2層配線M2)が第1、第2導体層11d、11sにそれぞれ接続されている。

【0045】ソース裏面電極S(2)は、第1基準電位、例えば接地電位に接続され、一方、ドレイン電極12dは上記第1基準電位よりも高い第2基準電位、例えば電源(Vdd=3.6V)電位に接続される。

【0046】<単位ブロックのレイアウト>図2を参照して本実施形態1の第1層配線と第2層配線の関係を以下に詳しく述べる。

【0047】図2において、11は第1層目の導体層(第1層配線M1)であり、12は第2層目の導体層(第2層配線M1)である。13は上述したN型ソース領域10、N型ドレイン領域9およびP型ソース打ち抜き層3のような半導体領域に対する導体プラグ(金属プラグ)のコンタクト部であり、14は第1層配線M1に対する第2層配線M2のコンタクト部である。21は素子分離領域(フィールド酸化膜)の境界線を示す。すなわち、線21に囲まれた部分が素子形成領域である。22はドレイン電極用ボンディングパッド部(ドレインパッド)であり、23はゲート電極用ボンディングパッド部(ゲートパッド)である。このドレイン、ゲートパッド22、23が1ブロック分を示しており、実際のチップでは必要なゲート幅に応じて、数ブロックを並列に並べる。このことは、後で図3を参照し説明する。

【0048】図2はゲート電極3が2本の場合であり、ゲート電極3に挟まれてドレイン領域があり、両側がソース領域となっている。A-A'間が図1で示した基本セルであり、実際のチップでは数十本繰り返して並べて1ブロックとする。ドレインはゲート電極3に対し横切ることなく、平行に第2層配線によりパッド22に引き延ばされている。また、ソースもゲート電極3に対し横切ることなく、平行に第2層配線により裏打ちされている。ゲートは一定長さ毎にゲート電極3から第1層配線で引き延ばし、周辺から第2層配線でパッド部23に共通接続されている。本実施形態1の場合、ゲート電極を取り出す一定長さは約40μmである。また、ゲート電極と

直交させて配線を取り出すため、ドレイン用第2層配線とゲート用第1層配線との間の寄生容量が小さくなる。すなわち、ストライプ状のゲート電極3を40μm程度の一定の距離で第1層配線11でドレイン配線およびゲート電極と垂直する方向に引き延ばしている。ブロックの両端において第2層配線12でゲートパッド23に共通接続されている。これにより、平行に引き延ばす場合に比べて、ドレイン配線とゲート配線との間の寄生容量を低減している。

10 【0049】また、ドレインパッド部22に近接してソース用の第2の金属導体層のイクステンション部12Eが配置され、イクステンション部12Eの下に位置して、上記貫通層と同一の構成を有する他の貫通層がエビタキシャル層内に設けられ、イクステンション部12Eがその貫通層に電氣的接続されている。

【0050】ここで注目すべきことは、本実施形態1によれば、電極引き出し用導体として導体プラグを採用し、第1層配線M1に対する第2層配線とのコンタクト用開口(コンタクト部)は電極引き出し開口部上に位置させている。

20 【0051】すなわち、図2に示すように、ドレイン領域の第1層配線と低抵抗層とのコンタクト13、第1層と第2層配線とのコンタクト14は同一軸上に形成されている。この構造と従来技術との違いを、図45および図46を参照し、以下に説明する。

【0052】図45は従来技術のドレイン配線のコンタクト部を示す平面図である。一方、図46は本実施形態1である半導体装置のドレイン配線のコンタクト部を示す平面図である。なお、ここで言う従来技術は発明者等によって試みられた通常の2層配線技術を採用している。

【0053】図45に示した従来技術では、第1層配線11(M1)が第1の層間絶縁膜に設けたコンタクト部(開口部)13を介して電極引き出し電極(配線)として直接ドレイン領域に接続された。そして、第1層配線11(M1)に対する裏打ちのための第2層配線12(M2)の接続は、コンタクト部13に重ならないように第2の層間絶縁膜に設けられたコンタクト部14を通して行われた。コンタクト部13上にコンタクト部14を重ねてレイアウトした場合、コンタクト部13内において、第1層配線11に窪みが形成される。このため、ホトリソグラフィ技術によりコンタクト部14を形成する時にコンタクト部14にエッチング残りが存在することになる。第1層配線11と第2層配線12とのコンタクトが確実に成されず、接触抵抗の増大を招くことになる。このため、裏打ち配線の効果を充分引き出せないといった問題がある。したがって、コンタクト部14とコンタクト部13とは、ずらしてレイアウトする必要があった。

50 【0054】一方、本実施形態1では電極引き出しのた

めのコンタクト部を導体プラグ（金属プラグ）により埋めてから配線するため段差が解消された。したがって、図46に示すように、コンタクト部13と14を同軸上にすることが可能となり、レイアウトの自由度向上、コンタクトの電流容量の向上、コンタクトと配線抵抗の低減といった利点がある。すなわち、N型ソース（低抵抗）領域10、N型ドレイン（低抵抗）領域9およびP型ソース打ち抜き領域3それぞれに対する配線抵抗の低減が図れる。この結果、オン抵抗を低減できるので、半導体装置の高付加効率を図ることができる。

【0055】なお、CMOSトランジスタ等で金属プラグ技術を採用することはよく知られている。例えば、そのような技術は特開平6-350042号公報によって開示されている。上記公報では明らかとされていないが、通常、金属プラグ技術は、上層の配線パターン形成時の段切れ対策を目的としたものである。特に、ゲート電極（配線）に対して、第1層配線あるいは第2層配線が横切る場合を考慮し、電極引き出しに金属プラグ技術が適用される。

【0056】しかしながら、本実施形態1によれば、ゲート電極とドレイン用の第2層配線（M2）とが横切らない状況下で金属プラグが適用されているものである。すなわち、本実施形態1は従来公知の金属プラグ技術の適用とは全く異なる発想に基づいたものである。

【0057】なお、図2はゲート電極3が2本の場合を示すが、ゲート電極3が4本の場合には、図83に示したようにZ-Z'軸を中心にミラー反転されたレイアウト構造となる。ゲート電極3の本数は、ドレイン電流のバランスを考慮して、それぞれのドレイン電極（ドレイン領域）を挟むように偶数本設けられる。

【0058】＜チップレイアウト＞本実施形態1のチップのレイアウトを図3に示す。図3に示した単位ブロック部のレイアウトは、先に説明した図2に示す構成となっている。

【0059】図3に示すチップ内にレイアウトされたパワーMOSFETは、図3の単位ブロックを複数個並列に接続したものである。

【0060】すなわち、本実施形態は、半導体層を有する半導体基板の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、

ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部22を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部23を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体基板の主面に複数配置され、上記単位ブロック間において、上記ゲート用の第1の金属導体層と上記ゲート用の第2の金属導体層とが接続されている。

【0061】図3に示すように、複数のドレインパッド22がチップの一边に沿って、ゲートパッド23およびソースパッド20がチップの他の辺に沿って配置されている。このうちソースパッド（プローブ用ソースパッド）20は、実装では使用せずに主に素子動作チェック用のみに使用される。すなわち、このソースパッド20は各チップに分割していないウエハ状態でのパワーMOSFETの動作チェックを容易にするために設けられている。動作チェックの時に検査用探針（プローバ）を、基板上面に設けられた各パッド20、22、23に接触させることでそれぞれのチップ（MOSFET）の特性をウエハ状態で検査することができる。

【0062】チップ両端部に配置されたゲートパッドには、ゲート絶縁膜の静電破壊防止用の保護ダイオード19を設けられている。以下、このゲート保護ダイオードについて説明する。

【0063】＜ゲート保護ダイオード＞図4および図5にゲート保護ダイオードの構成を示す。図4は図3に示されたゲート保護ダイオード19を部分拡大した平面図である。図5は、図4におけるD-D'間の断面図である。

【0064】図4（図5）において、21は厚いフィールド酸化膜である。フィールド酸化膜21上に設けられたゲートパッド23は第2層配線12（M2）と一体的にパターン形成されている。そして、そのゲートパッド23は、第1層配線11（M1）を介してP型低抵抗領域4に接続されている。このP型低抵抗領域4、N型高抵抗領域8およびP型低抵抗領域4aを取り囲むようにリング状に形成されたP型低抵抗領域4bにより、PNP構造のダイオード（バック・ツ・バックダイオード）を構成する。このPNP構造の耐圧を±5〜9V程度に設計し、ゲートパッドに載ったサージ電圧をクランプ、吸収することができる。なお、P型低抵抗領域4a、4bは図1に示したコンタクト用P型低抵抗領域4と同一プロセスで形成される。

【0065】また、このゲート保護ダイオードにも金属プラグP1が採用されている。2本のストライプ状の金属プラグP1はP型領域8(4)に接続され、電流が均一に流れるように機能する。

【0066】<プロセス>本実施形態1であるシリコンパワーMOSFETの製造方法について、図6～図29を参照し、以下に説明する。

【0067】なお、図6～図9、図14、図20、図23、図29のそれぞれにおいて、(a)に示した断面図は、図2におけるX-X'切断断面を示し、(b)に示した断面図は、図2におけるY-Y'切断断面を示す。

【0068】(1) P型打抜き層(P type through layer)形成用イオン打ち込み工程：図6(a)、(b)に示すように、まず、第1導電型(具体的にはP型)のSiより成る半導体基板1の主面に、P型半導体層2が形成された半導体ウエハが準備される。P型半導体層2は、公知のエピタキシャル成長法により形成された。以下、P型半導体層2をP型エピタキシャル層と称する。

【0069】上述したように半導体基板1の比抵抗は $0.01\Omega\text{cm}$ を有する。一方、P型エピタキシャル層2の比抵抗は、基板比抵抗よりも高く、 $20\Omega\text{m}$ を有する。エピタキシャル層2の厚さは、オン抵抗の低減と、ドレイン耐圧とを考慮し、 $2.5\sim 3.5\mu\text{m}$ の範囲に設定される。本実施例では、エピタキシャル層2の厚さは、 $3\mu\text{m}$ に設定された。

【0070】続いて、エピタキシャル層2の表面に、厚さ 10nm のシリコン酸化(SiO₂)膜100を形成する。そして、P型打抜き層形成用イオン打ち込みマスクを形成するために、SiO₂膜100上にホトリソグラフィ技術を用いて、ホトレジストパターン(マスク)PR1を形成する。

【0071】続いて、マスクPR1を用いて酸化シリコン膜100およびエピタキシャル層2の表面をエッチング除去する。エピタキシャル層2の表面は、およそ 50nm の深さにエッチングされる。これによりエピタキシャル層2の表面に段差が形成される。この段差はマスクアライメントのためのターゲットとして使用できる。

【0072】この後、P型打抜き層3を形成するために、上記マスクPR1が形成されていないエピタキシャル層2内に第1導電型(P型)を示す不純物をイオン打ち込法により導入する。すなわち、マスクPR1を用いて、例えばP型不純物のボロン(B+)を、加速エネルギー 80keV 、ドーズ量 $1.5\times 10^{16}/\text{cm}^2$ の条件で、エピタキシャル層2の深い位置に選択的にイオン打ち込みする。

【0073】(2) フィールド酸化膜形成工程：図6に示したマスクPR1および酸化シリコン膜100が除去される。この後、MOSFETの単位ブロックを区画するためのフィールド酸化膜21をLOCOS(Local Oxidation of Silicon)技術により選択的に形成する。

【0074】まず、図7(a)、(b)に示すように、エピタ

キシャル層表面に、パッド酸化膜として、シリコン酸化膜100aを熱酸化により形成する。このパッド酸化膜は、引き続き形成される耐酸化マスクとなる窒化シリコン膜から成る絶縁膜(耐酸化性絶縁膜)が直接シリコン表面に接するのを避けている。窒化シリコン膜が直接シリコン表面に被覆した場合、その表面に熱的歪が残留し、結晶欠陥を引き起こす。すなわち、パッド酸化膜は結晶欠陥を防止するためのバッファ膜として形成される。

【0075】続いて、耐酸化マスクとしての窒化シリコン膜101を形成する。そして、この窒化シリコン膜101をフォトリソグラフィ技術を用いてパターン形成する。

【0076】そして、残された窒化シリコン膜101をマスクとし、その窒化シリコン膜101が形成されていないエピタキシャル層2表面を熱酸化し、厚さ 350nm のフィールド酸化膜(LOCOS酸化膜)21を選択的に形成する。

【0077】ここで重要なことは、この工程での熱酸化(熱処理)は、 $1050^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 、30分程度の処理条件で行われ、イオン打ち込みされたP型不純物の引き伸ばし拡散を伴っている。したがって、この時、エピタキシャル層2内には半導体基板1に到達するP型打抜き層(P⁺)3が形成される。すなわち、P型打抜き層3形成およびフィールド酸化膜21形成の熱処理はそれぞれ独立別個に行わずに、それら形成のための熱処理を一度で行っている。すなわち、P型打抜き層3形成のための熱処理(アニーリング)工程を省略することができる。

【0078】また、この熱処理工程の省略により半導体基板1中のボロン不純物が薄いエピタキシャル層1内へオートドーピング(auto-doping)するのを抑制できる。この不純物のオートドーピングの抑制は、後で述べるPウエル(PW)5の不純物濃度を低減させることができ、オン抵抗低減の効果をもたらすことができる。

【0079】窒化シリコン膜101およびパッド酸化膜100aを除去し、エピタキシャル層2の表面に存在する欠陥を除去する。続いて、エピタキシャル層2表面に熱酸化によりシリコン酸化膜(100b)を形成する。

【0080】そして、上記シリコン酸化膜(100b)の形成温度よりも高い熱処理温度、約 1050°C で、フィールド酸化膜21のアニーリングを行う。アニーリングは、MOSFETが形成される活性領域の表面に残留している結晶欠陥を低減し、ゲート酸化膜の薄膜化によるゲート酸化膜の耐圧確保を図ることを目的とし、本実施態様1のパワーMOSFETを得るために重要な手段である。

【0081】(3) P型ウエル領域形成用第1不純物導入工程：図8(a)、(b)に示すように、ドレイン形成領域を覆うようにフォトレジストパターン(マスク)PR2

を形成する。

【0082】続いて、マスクPR2が形成されていないエピタキシャル層2表面に第1導電型を示す不純物を選択的に導入する。例えば、p型不純物のボロンを、イオン打ち込み法によりフィールド酸化膜21を通過するエネルギーでエピタキシャル層2内に選択的に導入する。すなわち、フィールド酸化膜21に接するエピタキシャル層2表面において、アニール処理後の不純物濃度分布がほぼピークとなるようにボロンが導入される。これによって、そのエピタキシャル層2表面はチャンネルストップパとしてのP型高濃度領域が形成される。イオン打ち込み条件は、加速エネルギー200keV、ドーズ量 $2.0 \times 10^{13}/\text{cm}^2$ である。

【0083】(4) P型ウエル領域形成用第2不純物導入工程：上記第1不純物導入工程に続いて、さらに、図9(a)、(b)に示すように、上記マスクPR2を残した状態で、エピタキシャル層2内に第1導電型を示す不純物を選択的に導入する。例えば、上記第1不純物導入工程と同様のボロンを、イオン打ち込み法によりエピタキシャル層2内に選択的に導入する。イオン打ち込み条件は、加速エネルギー50keV、ドーズ量 $1.0 \times 10^{13}/\text{cm}^2$ である。

【0084】上記第1、第2不純物導入工程のように、段階的に2回のイオン打ち込みを行うことにより、深さ方向のウエル濃度分布を均一にさせ、引き伸ばし拡散のための熱処理（高温アニール）を回避することができる。なお、上記第1、第2不純物導入工程の順序は逆であってもよい。

【0085】(5) しきい値電圧調整用イオン打ち込み工程：図面は省略したが、図9に示したマスクPR2を除去した後、しきい値電圧(V_{th})調整のための不純物導入を行う。例えば、BF₂イオンを、加速エネルギー50keV、ドーズ量 $1.0 \times 10^{12}/\text{cm}^2$ の条件で、エピタキシャル層2表面にイオン打ち込みする。続いて、エピタキシャル層2表面を洗浄した後、アニール処理（950℃、60秒）により上記(3)(4)工程で打ち込まれた不純物を引き伸ばし拡散し、MOSFETのチャンネル形成領域となるP型ウエル領域（パンチスルーストップ層）5を形成する。

【0086】(6) ゲート絶縁膜形成工程：イオン打ち込みダメージを受けたシリコン酸化膜100b（図9）を除去し、その表面を露出させる。そして、露出したP型ウエル領域5表面に熱酸化処理により、膜厚が10nm以上そして12nm以下であるゲート酸化膜6を形成する（図10参照）。本実施形態1によれば、ゲート酸化膜6の膜厚は $11 \pm 0.5\text{nm}$ となるように設定される。

【0087】ゲート絶縁膜6は熱酸化膜に代えて、窒素を含むシリコン酸化膜、いわゆる酸窒化膜を適用してもよい。この場合、ゲート絶縁膜の界面にホットエレクトロンのトラップを低減し、ホットキャリア対策が可能と

なる。つまり、酸窒化膜によれば、膜界面のトラップを窒素(N)を結合させて終端させることができる。

【0088】また、ゲート絶縁膜6は、熱酸化によるSiO₂膜（厚さ：4nm）と、そのSiO₂膜上にそのSiO₂膜上よりも厚いCVD法によるSiO₂膜（厚さ：7nm）を積層させた積層ゲート絶縁膜を適用してもよい。CVD法によるSiO₂膜は具体的にはHLD（High Temperature Low Pressure Decomposition）膜が用いられる。HLD膜は有機ソースであるTEOS（tetraethyl orthosilicate）材料が用いられ、膜厚均一性に優れ、また膜中への不純物の拡散防止に効果を奏する。このようなゲート絶縁膜の採用は、特に、後で述べるPゲート・Nチャンネル型SiパワーMOSFETの実施形態に有効である。なぜならば、P型ゲート電極の場合、その電極に含まれたボロン（不純物）のリークにより、ゲート酸化膜の緻密性が損なわれる。このため、上記積層ゲート絶縁膜の適用により、ボロンのリークは阻止され、ゲート絶縁膜の耐圧劣化を防止することができる。

【0089】(7) ゲート電極用導体層形成工程：続いて、図10に示すように、ゲート酸化膜6表面に、厚さ100nm程度のリン不純物を含む多結晶シリコン層（ドープドポリシリコン：doped poly-silicon）7aをCVD法により被覆する。続いて、低抵抗ゲート電極を得るために、多結晶シリコン層7aの表面に、その多結晶シリコン層7aよりも厚い、厚さ150nm程度のメタルシリサイド層7b、例えばタングステンシリサイド（WSi）層を積層する。WSi層7b表面には、保護膜（キャップ層）として、厚さ150nmの酸化シリコン膜20を有機シランの熱分解により形成する。このようなキャップ層を設けることは、CMOSLSIの技術分野ではよく知られているが、RFパワーMOSの技術分野では、いままです検討されていない。

【0090】(8) ゲート電極用マスクパターン形成工程：図11に示すように、ゲート電極を形成するためのフォトリソパターン（マスク）PR3を形成する。マスクPR3のパターン幅は、ゲート長を規定し、0.35μm以下となるように形成される。

【0091】(9) ゲート電極パターン形成工程：図12にゲート電極パターン形成後の状態を示す。図11に示すマスクPR3を用いて、キャップ層20、タングステンシリサイド層7bおよび多結晶シリコン層7aを順次、エッチングすることにより、多結晶シリコン層7aとWSi層7bとから成るゲート電極7をパターン形成する。

【0092】(10) ドレインオフセット領域形成工程：図13に示すように、低濃度半導体領域8をP型ウエル領域5内にイオン打ち込み法によりゲート電極7に対して自己整合形成する。この低濃度半導体領域（ドレインオフセット領域）8は、ドレイン耐圧を向上することを目的としている。ドレインオフセット領域8を形成

するためのイオン打ち込みは、N型不純物であるリン用いられ、例えば加速エネルギー50keV、ドーズ量 $1.0 \times 10^{13}/\text{cm}^2$ の条件で行う。

【0093】実験によれば、ドレインオフセット領域（オフセット層）とオン抵抗の関係は図35のとおりであった。したがって、オフセット層の深さは0.2 μm 以上とした。

【0094】（11）ソース・ドレイン領域形成工程：図14(a)(b)に示すように、ドレインオフセット領域8の一部およびP型打抜き層3を覆うようにフォトレジストパターン（マスク）PR4を形成する。続いて、マスクPR4を用いて、ソース・ドレイン領域形成のための不純物導入を行う。不純物導入はイオン打ち込み法により、N型不純物である砒素が、加速エネルギー60keV、ドーズ量 $8.0 \times 10^{15}/\text{cm}^2$ の条件で、酸化シリコン膜（ゲート酸化膜）6を通して、低濃度半導体領域8内に選択的に導入される。

【0095】（12）コンタクト領域形成工程
P型打抜き層3の表面を低抵抗化するために、図15に示すように、マスクPR5を用いて、P型打抜き層3表面にP型不純物である弗化ボロン（BF₂）を、加速エネルギー40keV、ドーズ量 $2.0 \times 10^{15}/\text{cm}^2$ の条件で導入する。そして、この後、アニール処理を行う。これにより、P型打抜き層3表面にP型コンタクト領域4を形成する。

【0096】（13）第1絶縁膜（層間絶縁膜）形成工程
層間絶縁膜として第1の絶縁膜20を半導体基板1上に全面形成する。まず、図16に示すように、半導体基板1上にCVD SiO₂膜20A（厚さ：100nm）および平坦性の優れたプラズマTEOS膜20B（厚さ：800nm）を順次形成する。このプラズマTEOS膜20Bの表面は、ゲート電極上に段差を有しているため、化学機械研磨（CMP：Chemical-Mechanical Polishing）技術を採用して、約100nm研磨され、平坦化される。

【0097】いままで、CMP技術の採用はIC（LSI）の中で採用されていたが、高周波用パワーMOSFETでは採用されていなかった。

【0098】本実施形態1では、このCMP技術の採用により、次に述べる金属プラグが実現でき、オン抵抗の低減を図ったパワーMOSFETが得られるのである。

【0099】続いて、図17に示すように、プラズマTEOS膜20B上にPSG膜20C（厚さ：300nm）を形成する。第1の絶縁膜20のトータル膜厚は1200nmであり、後で述べる2絶縁膜（層間絶縁膜）よりも厚くされる。これは、配線の寄生容量を低減するためである。

【0100】CVD SiO₂膜20Aは、窒化シリコン（SiN）に置き換えることができる。この窒化シリコンの採用は、ゲート酸化膜への水酸化物イオン（OH⁻）の浸

入をブロックし、ホットキャリア対策として有効である。

【0101】（14）電極引き出し用開口形成工程
図18に示すように、PSG膜20C上にフォトレジストパターン（マスク）PR6を形成する。続いて、図19に示すように、マスクPR6を用いて第1の絶縁膜（20）を選択的に除去し、電極引き出し用開口CH1を形成する。

【0102】（15）金属プラグ形成工程

図20(a)(b)に示すように、電極引き出し用開口CH1内にW（タングステン）よりなる金属プラグP1をそれぞれ形成する。

【0103】まず、電極引き出し用開口CH1が形成された第1の絶縁膜（20）表面に、W（タングステン）が半導体領域（8、9）内に拡散しないように、バリア層としてTiN（窒化チタン）層をスパッタリング法により形成する。続いて、例えばW（タングステン）よりなる高融点金属層をCVD法により形成する。そして、上記高融点金属層およびバリア層をエッチバックする。この結果、第1の絶縁膜20とほぼ同一面を有する金属プラグP1が電極引き出し用開口CH1内に埋め込まれる。すなわち、ソース領域（第1領域）10、ドレイン領域（第2領域）9およびリーチスルー層3上に金属プラグP1がそれぞれ接続される。

【0104】（16）第1導体層（第1層配線）形成工程

図21に示すように、第1導体層（第1層配線）M1を第1の絶縁膜20上にスパッタリング法により形成する。第1導体層は低抵抗、かつ耐マイグレーション性を有するアルミニウム合金より成る。より具体的な材料としてはAlCu合金が採用される。その膜厚は約400nmである。続いて、図22に示すように、第1導体層M1上にフォトレジストパターン（マスク）PR7を形成する。そして、図23(a)(b)に示すように、マスクPR7を用いて第1導体層M1をパターンニングする。

【0105】（17）第2絶縁膜（層間絶縁膜）形成工程

層間絶縁膜として第2の絶縁膜30を半導体基板1上に全面形成する。図24に示すように、半導体基板1上にプラズマTEOS膜30A（厚さ：300nm）、SOC膜30B（厚さ：300nm）、プラズマTEOS膜30C（厚さ：300nm）を順次形成する。SOC膜30BはプラズマTEOS膜30Aの段差を緩和するために形成される。

【0106】（18）配線接続用開口形成工程

図25に示すように、第2の絶縁膜30上にフォトレジストパターン（マスク）PR8を形成する。続いて、図26に示すように、上記マスクPR8を用いて、第2の絶縁膜30（30A、30B、30C）を選択的に除去し、配線接続用開口CH2を形成する。なお、図26は上記マスクPR8を除去した後の半導体装置の断面構造

を示している。

【0107】(19) 第2導体層(第2層配線)形成工程

図27に示すように、第1導体層M1と同様な方法により第2導体層(第2層配線)M2を第1の絶縁膜30上に形成する。また、第2導体層(第2層配線)M2の材料も第1導体層と同一の材料が選択される。ただし、その膜厚は第1導体層M1の膜厚保に比べ、約4倍であり、裏打ち配線としての低抵抗化を図っている。

【0108】続いて、図28に示すように、第1導体層M1上にフォトレジストパターン(マスク)PR9を形成する。

【0109】そして、図29に示すように、マスクPR9を用いて、第2導体層M2をパターンニングし、ドレイン電極(ドレイン配線)Dおよびソース電極(ソース配線)S(1)を形成する。ソース電極(ソース配線)S(1)は各セル間および各ブロック間の第1層目のソース配線(M1)を電気的接続する。なお、図29は上記マスクPR9を除去した後の半導体装置の断面構造を示している。

【0110】(20) ソース裏面電極形成工程

図29に図示していないが、上記(19)工程の後、ドレイン電極(ドレイン配線)Dおよびソース電極(ソース配線)S(1)上に表面保護膜を形成し、そしてパッド部を露出するように、その表面保護膜を選択的に除去する。続いて、半導体基板1の裏面(下面)を研削し、その厚さを薄くする。この研削は半導体ウエハから半導体チップにするための前処理として行われる。そして、その裏面にNi層(厚さ:約0.1μm)、Ti層(厚さ:約0.15μm)、Ni層(厚さ:約0.2μm)および半田付け性の良いAg層(厚さ:1.3μm)を順次積層することによりソース裏面電極を形成する。下層のTi層はバリア層であるNi層と、Si基板との間の接着性のため、上層のTi層はAg層との接着性のために形成される。

【0111】なお、Ag層は、モジュール基板へ取り付け(半田付け)時に、酸化によるAg層剥離に注意を払わなければならない。Ag層に代えてAu層を用いてもよい。この場合、半田付け時にAu層の剥離は生じないため、モジュール基板との低抵抗コンタクトが図れる。

【0112】本プロセスによれば、以下の効果が得られる。

【0113】(a) 上記工程(2)で行われる熱酸化(熱処理)は、イオン打ち込みされたP型不純物の引き伸ばし拡散を伴っている。

【0114】したがって、この時、エピタキシャル層2内には半導体基板1に到達するP型打抜き層(P⁺)3が形成される。すなわち、P型打抜き層3形成およびフィールド酸化膜102形成の熱処理はそれぞれ独立別個に行わずに、それら形成のための熱処理を一度で行っ

ている。このため、P型打抜き層3形成のための熱処理(アニーリング)工程を省略することができる。

【0115】(b) 上記(a)の理由により基板からエピタキシャル層への不純物のオートドーピングを抑制できる。このため、Pウエル(PW)の不純物濃度は制御し易く、低く抑えることができる。したがって、オン抵抗低減のためにゲート長を短くしても、充分耐圧は確保できることになる。

【0116】よって、熱処理工程の簡略化はオン抵抗低減に寄与することになる。

【0117】(c) 上記(a)(b)の理由により、エピタキシャル層2の厚さを厚くする必要がなく、その厚さは目標の耐圧を考慮して、2.5μm以上、3.5μm以下にすることが可能となった。このため、P型打抜き層(P⁺)3の形成深さも浅くなり、オン抵抗低減に寄与することになる。

【0118】(d) フィールド酸化膜形成工程の後にPウエル(PW)を形成しているため、そのPウエルはフィールド酸化膜形成時の熱処理の影響を受けない。つまり、Pウエルは1000℃以上の高温に晒されることがない。このため、Pウエル(PW)の不純物濃度は制御し易く、低く抑えることができる。したがって、オン抵抗低減のためにゲート長を短くしても、充分耐圧は確保できることになる。よって、上記のようなPウエル形成工程の順序は、オン抵抗低減に寄与することになる。

【0119】(e) 上記(4)工程で述べたように、Pウエル形成工程は2段階のイオン打ち込みにより行われる。したがって、引き伸ばし拡散のための高温アニール処理が不要である。すなわち、上記(5)工程でのアニール処理が兼用できる。このため、工程簡略が図れる。また、上記(d)と同様な理由によりオン抵抗低減に寄与することになる。

【0120】(f) 上記(2)工程で述べたように、フィールド酸化膜形成後であって、上記(3)工程のウエル領域形成に先立ってアニール処理を行うことにより、MOSFETが形成される活性領域の表面に残留している結晶欠陥を低減し、ゲート酸化膜の薄膜化によるゲート酸化膜の耐圧確保を図ることができる。

【0121】(g) 上記(10)工程で述べたように、ドレインオフセット領域(長さ)はマスクPR4によって規定され、サイドウォールを用いたLDD構造を採用していない。すなわち、ソース領域側にはドレインオフセット領域のような高抵抗領域は形成されないようにしている。これにより、ドレイン耐圧向上とともに、オン抵抗の低減が図れる。

【0122】<MOSFETの形成条件>本実施態様1におけるMOSFETの形成条件について、以下に述べる。

【0123】本実施例におけるMOSFETチップの抵抗成分について、図30を参照し、説明する。

【0124】図30は、図1に示した実施形態1に関わ

るMOSFETの抵抗モデルであり、 R_{ONO} がチップ全体の抵抗、 R_{on} が R_{ONO} からP形打抜き層と基板の抵抗を除いた抵抗（ソースを基板表面から取り出し場合の抵抗）、 R_1 がドレイン配線抵抗、 R_r がオフセット領域の抵抗、 R_c がチャンネル抵抗、 R_2 がソース配線抵抗、 R_3 がソース打抜き層抵抗、 R_4 がP形基板の抵抗、 R_5 が R_3 と R_4 とのトータル抵抗である。

【0125】本実施形態1の効果を説明するにあたり、MOSFET本体と、基板裏面電極による影響を分離するため、以後、オン抵抗は R_{ONO} ではなく R_{on} とし、ゲート幅 W_g で規格化した $R_{on} \cdot W_g$ を用いる。また、同様な考えから、相互コンダクタンスや、しきい値電圧等についても、断りのない限り、基板表面からソースを取り出したFETの性能とする。本実施形態1のゲート長、ゲート酸化膜厚さ、オフセット層について説明する。

【0126】図31にゲート耐圧（酸化膜許容電界）を考慮したゲート酸化膜厚さとオン抵抗との関係を示す。図32にゲート長とオン抵抗との関係、図33にゲート長と相互コンダクタンスとの関係をそれぞれ示す。図34にゲート長としきい値電圧の関係を示す。また、図35にオフセット層深さとオン抵抗の関係を示す。図36にオフセット長とオン抵抗との関係を、図37にオフセット長とドレイン耐圧をそれぞれ示す。

【0127】図31において、オン抵抗の必要上限値 $4 \Omega \text{mm}$ を得るためにはゲート酸化膜が薄いことが重要であり、一方、ゲート酸化膜の信頼性の観点からは、GSM応用での入力振幅の最大値を5Vに対して信頼性上問題のない膜厚 10nm 以上が必要である。その結果、ばらつきを考慮して、ゲート酸化膜の厚さは 10nm 以上、 12nm 以下と設定される。図32、図33においても、ゲート長の短縮により、オン抵抗の低減と相互コンダクタンスの向上が図られ、ゲート長 $0.35 \mu \text{m}$ においてオン抵抗が $4 \Omega \text{mm}$ 以下、相互コンダクタンスが 150mS/mm 以上得られている。すなわち、ゲート電極のチャンネル方向長さが $0.35 \mu \text{m}$ 以下に設定される。

【0128】なお、これらの結果は表面のソース電極から測定した場合を示す。また、ここでの従来技術とは、ゲート長 $0.4 \mu \text{m}$ 、オフセット長 $0.7 \mu \text{m}$ 、ゲート酸化膜厚さ 20nm に設定された高周波用パワーMOSFETを言う。

【0129】ゲート長に関しては、図34に示すように、しきい値電圧のLoweringは厳しくなり、ゲート長 $0.3 \mu \text{m}$ 程度が仕様代表値である。ちなみに、この実施例のMOSFETでは、プロセス全体を低温処理（ 1200°C 以下の熱処理）とすることにより、しきい値電圧が逆短チャンネル特性を示しており、逆短チャンネル特性のない従来構造の場合に比べて、短いゲート長までLoweringが抑えられている。オフセット領域（オフセット層）に関しては、図35に示したように、抵抗の変化の少ない $0.2 \mu \text{m}$ 以上の深さを設定しており、また、図36、図37から、オフセット長は $0.4 \mu \text{m}$ 以上、 $0.8 \mu \text{m}$ 以下を設

計値としている。この長さを選んだ理由は、ドレイン耐圧がドレイン低抵抗層側で決まり、寄生バイポーラ動作が起こりにくい領域であり、オン抵抗も十分に低い値であるためである。図38に本実施形態1のパンチスルーストップ層（図1に示したP型ウエル領域5）とオン抵抗との関係を、図39にドレイン耐圧とパンチスルーストップ層の位置との関係をそれぞれ示す。ゲート電極のドレイン端の位置を基準（零）とし、ドレイン側への距離をプラス（+）、ソース側をマイナス（-）としている。パンチスルーストップをソース側にずらすことにより、オン抵抗は低下するが、耐圧は零付近を境にマイナス側で低下する。これは、ドレイン、ソース間のパンチスルーが発生するためであり、この関係から、パンチスルーストップの位置は0以上、 $0.2 \mu \text{m}$ 以下が適当である。次に、本実施形態のMOSFETの基板形成条件について以下に説明する。

【0130】図40にエピタキシャル層厚さを変えた場合の打抜き層付近（図1のB-B'面）の深さ方向濃度分布を、図41にエピタキシャル層厚さを変えた場合の打抜き層の抵抗率をそれぞれ示す。また、図42にオフセット層付近（図1のC-C'面）の濃度分布を、図48にエピタキシャル層厚さと（ドレイン）耐圧をそれぞれ示す。

【0131】図40、図41において、エピタキシャル層の厚さが $4 \mu \text{m}$ では打抜き層とつながっておらず、 $3.5 \mu \text{m}$ 以下にする必要がある。

【0132】また、図42、図43において、ドレインN形層との耐圧はエピタキシャル層の厚さが $2.5 \mu \text{m}$ 以上で必要十分な値となっている。このことから、低抵抗半導体基板上に形成された高抵抗層（エピタキシャル層）の厚さは $2.5 \mu \text{m}$ 以上、 $3.5 \mu \text{m}$ 以下が適当である。図44に本発明とゲート長 $0.4 \mu \text{m}$ の従来技術のMOSFETの静特性の比較を示した。これは、どちらもゲート幅が 36mm の素子の場合であり、オン抵抗、相互コンダクタンス、飽和電流等、本発明により大幅な改善がなされている。

【0133】次に、図47に本実施形態1（本発明）のMOSFETチップの大信号高周波特性を示す。図47はGSM応用を前提として、電源電圧 3.5V 、バイアス電流一定において、 900MHz の正弦波信号を入力した場合の出力電力と付加効率の関係である。本発明と従来技術を比較しており、前者のゲート幅が 28mm 、後者は 36mm である。どちらも出力電力 2.0W で付加効率がピークとなるように、出力側をチューニングしている。この図からわかるように、本発明では従来技術に対してピークの効率で5%程度向上しており、65%を実現している。次に、図48に本発明のチップの大信号高周波特性のゲート幅依存性を示す。図48に示した特性は前述の図47に示した特性と同様にして測定しているが、ゲート幅毎に効率を得るのに最適なチューニングを行っている。この図48より、 2W で65%以上の付加効率を得るのに最

適なゲート幅は、2.8mm程度が良いことがわかる。2.4mmから3.2mmでも、これに準じた性能が得られている。同様に、PCS応用を考え、1900MHzで大信号特性を評価した結果、ゲート幅1.2mmで出力1W時の付加効率5.5%程度を実現した。

【0134】＜増幅器の構成＞図49に本実施形態のMOSFETを用いた増幅器の回路構成を示す。図4に示した増幅器はGSM応用の3段増幅回路であり、入力段、中段にそれぞれに1個のMOSFET（1chip）が使われている。そして、出力段に2個のMOSFET（2chips）を使用し、並列整合回路（DD-CIMA：Divided and Collectively Impedance Matched Amplifier）を構成している。MOSFETのゲート幅（W_g）としては、入力段が6mm、中段が1.8mmそして出力段（2chips）が2.8mmである。それぞれの素子についてストリップライン100とチップコンデンサによる入出力整合が行われ、出力電力を効率よく引出すように設計している。各段の入力に抵抗分割により動作点制御用のバイアス電圧がかかるようになっており、この電圧を制御することで出力電力を制御している。

【0135】上記DD-CIMAは、ゲート幅を大きくしていくと出力電圧が飽和する特性の解決策として開発され、高出力を要するモジュールの出力段として素子（チップ）を2つ並列に配して並列整合を行う方法である（文献2）。本回路技術によって、1つの素子が出し得る出力電力のおよそ2倍の出力電力が得られる。また、チップを分割したことにより熱放散性に優れている。

【0136】図50は本増幅器をパッケージ内に組み込んだパッケージモジュールを示す。500は多層配線構造の積層型セラミックパッケージである。パッケージ500の表面に金属めっきによるマイクロストリップライン501が形成されている。このモジュールにおいて、周波数900MHz、電源電圧3.5V、入力電力0dBmの条件で、飽和出力電力4W、出力3.5W時の総合効率5.5%程度を実現している。

【0137】なお、本実施例ではMOSFET、コンデンサ、抵抗等のディスクリート品をモジュール化しているが、この全て、または一部を集積化した回路についても、本発明の技術は適用される。また、3段増幅回路の各段は、必ずしも同じ構造のデバイスを用いる必要はなく、例えば初段、中段素子は、高利得が要求されるため、ゲート長、またはオフセット長の短い素子を用いる場合がある。

【0138】（実施形態2）本発明の他の実施形態を、図51から図56を参照し説明する。

【0139】＜基本セルの断面構造＞図51は前記実施形態1のゲート電極両端の酸化膜厚さを厚くした構造、すなわちゲートバースピークを有する実施形態2におけるMOSFETの断面図である。図52は本実施形態2のゲ

ト、ドレイン間容量の電圧依存性を示す。そして、図53に小信号利得と周波数の関係を示す。

【0140】図51において、ゲート両端の酸化膜厚さは、ゲート酸化膜厚さ10nmに対して、最大膜厚30nmの厚さでテーパ形状（または、LOCOS選択酸化によって現われるバースピーク形状）を成している。

【0141】すなわち、本実施形態2に係わる半導体装置は、第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚（6a）が上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚（6b）よりも大きい。

【0142】これにより、図52に示すように、10nmから30nmの条件とすることでゲート、ドレイン間容量（C_{dg}）は20%程度低減された。測定方法は、図52に示した回路構成のとおりである。ゲート、ドレイン間容量（C_{dg}）の低減は、高いゲインのRF動作に求められる帰還容量（C_{rss}）の低減をもたらすことができる。

【0143】また、図53に示すように小信号利得も周波数900MHz付近で0.5dB程度向上している。

【0144】本実施形態2によれば、バースピークを設けたことで電界緩和が図れる。そして、オフセット層8の表面からの深さが0.005μm以内において、その表面不純物濃度を1×10¹⁹cm³以上のピーク値とし、オン抵抗低減を一層図ることが可能となる。

【0145】本実施形態2では、ゲート電極のドレイン、ソース両側の酸化膜厚を厚くしているが、本質的にはドレイン側のみを厚くすれば目的は達成される。その実施形態は後で述べる。

＜プロセス＞前記実施形態1の工程（9）（図12参照）に続いて以下の工程が行われる。

【0146】（9-1）図54に示したように、熱酸化により酸化膜21を選択的に形成する。この時、ゲート電極端部にバースピークが形成される。つまり、ゲート

酸化膜（厚さ10nm）よりも厚い酸化膜（最大膜厚：30nm）がゲート電極端部に形成される。

【0147】（9-2）続いて、図55に示したように、ドレインオフセット領域形成のための不純物導入がシリコン酸化膜21を通して行われる。すなわち、低濃度半導体領域（ドレインオフセット領域）8をP型ウェル領域5内にイオン打ち込み法によりゲート電極7に対して自己整合形成する。ドレインオフセット領域8を形成するためのイオン打ち込みは、N型不純物であるリン用いられる。

【0148】続いて、前記実施形態1で述べたプロセス、（11）ソース・ドレイン領域形成工程から（20）ソース裏面電極形成工程までが実行される。

【0149】以上の方法により、図56に示したパワーMOSFETが完成する。

【0150】（実施形態3）本発明の他の実施形態を、図54から図60を参照し説明する。

【0151】＜基本セルの断面構造＞本実施形態3は、前記実施形態2の変形例であり、ゲート電極のドレイン側のみゲート酸化膜の一部を厚くしたものである（図60参照）。

【0152】＜プロセス＞前記実施形態1の工程（9）（図12参照）に続いて以下の工程が行われる。

【0153】（9-1）図57に示すように、半導体基板1上に窒化シリコン膜200を形成する。

【0154】（9-2）続いて、図58に示すように、ドレイン側のゲート電極端部が露出するように、窒化シリコン膜200を選択的に除去する。そして、窒化シリコン膜200をマスクとして、熱酸化によりドレイン側のみにゲートバースピークを形成する。

【0155】（9-3）続いて、図59に示したように、ドレインオフセット領域形成のための不純物導入がシリコン酸化膜21を通して行われる。すなわち、低濃度半導体領域（ドレインオフセット領域）8をP型ウェル領域5内にイオン打ち込み法によりゲート電極7に対して自己整合形成する。

【0156】続いて、前記実施形態1の工程（11）から工程（20）までのプロセスが実行される。

【0157】以上の方法により、図60に示したパワーMOSFETが完成する。

【0158】（実施形態4）本発明の実施形態4を、図61を参照し説明する。

【0159】本実施形態4は、ドレインオフセット領域8がドレイン領域9側のみに形成されたNゲートMOSを提供するものである。

【0160】本実施形態4によれば、図61に示すように、ソース側（高不純物濃度を有するN型ソース領域10）にはドレインオフセット領域8のような深いN型高抵抗領域は設けられていない。したがって、ソース側のゲート電極とN型領域（ソース領域10）とのオーバー

ラップ量は、前記実施形態1のようにソース側にドレインオフセット領域8が存在する場合に比べて小さく、短チャネル特性の改善のために効果がある。

【0161】本実施形態4のプロセスは前記実施形態1のプロセスに従い、前記工程（10）の段階で、マスクを用いてドレイン側のみにドレインオフセット領域8を形成するためのイオン打ち込みが行われる。この場合、前記実施形態1に比べてホトリソ工程が1回増えることになる。

10 【0162】（実施形態5）本発明の実施形態5を、図62、図63を参照し説明する。

【0163】図62は、ドレインオフセット領域の表面付近の濃度を上げた場合の断面図である。この構造は、オフセット領域上の酸化膜に注入されたホットエレクトロンの影響によるオン抵抗の劣化率を低減するために有効である。図1示したオフセット領域8形成のためのイオン打ち込みを行った後に、As（ヒ素）イオンを20keV、 3×10^{13} atoms/cm²程度のイオン打ち込み条件で、そのオフセット領域8の表面に打ち込み、第2のオフセット領域8aを形成する。この時、ゲート端の表面濃度が最も重要となる。すなわち、図63にホットエレクトロンによるオン抵抗の劣化率とオフセット層のゲート端表面濃度の関係を示す。対策なしでは25%程度の劣化を生じるが、本構造により表面濃度を 1×10^{18} atoms/cm³とすることで、劣化率を10%以下に抑えることが可能となった。これは表面濃度を高めたことにより、酸化膜中に注入された電子の影響をN型のオフセット層が受けにくくなったことによるものである。

30 【0164】本発明の実施形態5の製造方法は、上述した実施形態1における（10）ドレインオフセット領域形成工程で、オフセット領域8形成のためのイオン打ち込みおよび第2のオフセット領域8a形成のためのイオン打ち込みが順次行われる。

【0165】（実施形態6）本発明の実施形態6を、図64を参照し説明する。図64は、前記実施形態1のパンチスルーストップ5に加えてオフセット領域8よりも深い位置にエピタキシャル層2の不純物濃度よりも高い不純物濃度を有するP型ポケット層5aを設けたものである。N型ドレイン領域9の下にはポケット層5aと同時に形成されたP型層201を有する。このポケット層5aとドレイン領域9下のP型層201は、例えばN型ソース・ドレイン領域形成時のホトレジストを用いてB（ボロン）イオンの斜め打ち込みにより形成する。ポケット層5aはしきい値電圧のLoweringの抑制に有効である。また、ドレイン領域9下のP型層201はMOSFETのブレークダウンポイントをチャネル部から離す効果がある。

【0166】従って、本実施形態6により、短チャネル特性の改善と素子の破壊強度の向上が可能となった。

40 【0167】（実施形態7）本発明の実施形態7を、図65、図66を参照し説明する。図65、図66はゲー

ト電極と平行してゲート配線（第 1 層配線）が配置されているパワー MOSFET の断面図とブロック平面図をそれぞれ示す。図 6 5 は図 6 6 に示した E-E' 切断断面図である。先に述べた実施形態 1 によれば、ゲート電極に接続された第 1 層配線 11（M1）は、ゲート電極に直交して単位ブロックの周辺部に延びて配置されている。本実施形態 7 によれば、ゲート配線（第 1 層配線）がゲート電極と平行して配置され、そのゲート電極に裏打ちされている。

【0168】図 6 5 において、300 はゲート配線抵抗低減のために設けられたゲートシャント用の第 1 層配線である。本実施形態 6 の特徴は、ドレイン第 1 層配線とゲート配線とが互いに対向するため、ドレイン、ゲート間の寄生配線容量が大きくなるが、ゲート配線の本数がゲート電極本数と同数になり、実施形態 1 と比較してゲート配線の本数が多くなるため、ゲート配線抵抗の低減に効果がある。ドレイン、ゲート間容量よりもゲート抵抗が高周波特性に効く場合に適用される。

【0169】（実施形態 8）本発明の実施形態 8 を図 6 7 を参照し説明する。

【0170】図 6 7 に示した平面図（電極パターンレイアウト）は図 2 に示す実施形態 1 の変形である。本実施形態 8 によれば、ゲート用の第 2 層配線を単位ブロックの中央から 1 本で取っている。これにより、図 2 に示すように単位ブロックの周辺部両側にゲート用の第 2 層配線を配置した場合に比べ、ゲートパッドから各 MOSFET セルへの距離が均等になる。したがって、各 FET セルの、ゲートの入力信号の位相ずれによる動作タイミングのずれが小さくなり、チップ全体での電力損失を少なくすることができる。

【0171】（実施形態 9）図 6 8 は、金属配線（第 1 層配線）によるゲートのシャントを行わず、短いゲート電極を並べたレイアウトである。この場合、ドレイン、ゲート間の寄生配線容量を低減できる。

（実施形態 10）本発明の実施形態 10 を図 6 9、図 7 0 を参照し説明する。

【0172】図 6 9、図 7 0 は、前記実施形態 7 の変形例であり、ソースフィールドプレート 400 を設けたパワー MOSFET の断面図および平面図をそれぞれ示す。図 7 0 は図 6 9 に示した F-F' 切断断面図である。

【0173】本実施形態 10 によれば、図 6 9 に示すように、ソース用の第 1 層配線の一部がオフセット領域 8 上に延び、ソースフィールドプレート 400 を構成している。すなわち、図 7 0 に示すように、ゲート配線（第 1 層配線）は本実施形態 7 と同様、ゲート電極と平行して配置され、そのゲート電極に裏打ちされている。そして、ソースフィールドプレート 400 はソース用の第 1 層配線 11 をゲート電極 7 に沿ってストライプ状に、ドレイン配線とゲートシャント配線間に挿入されている。このフィールドプレート 400 は接地電位に固定されて

おり、オフセット領域 8 の電界緩和によるドレイン耐圧向上の効果がある。

【0174】（実施形態 11）本発明の実施形態 11 を、図 7 1、図 7 2 を参照し説明する。

【0175】図 7 1 は本実施形態 11 であるゲート保護ダイオードの平面図である。そして、図 7 2 は図 7 1 における G-G' 線の切断断面図である。

【0176】実施形態 1 のゲート保護ダイオード（図 4、5 参照）は、第 2 層配線によりゲートパッドに接続されている。一方、本実施形態 11 では、図 7 2 に示すように、第 1 層配線ですでにダイオードがゲートパッドとゲート電極とが接続されている。

【0177】これによって、第 1 層配線以降の工程でのチャージアップなどのプロセスダメージによるゲート酸化膜の破壊を防止することが可能となった。

（実施形態 12）本発明の実施形態 12 を図 7 3 を参照し説明する。

【0178】図 7 3 は、図 4 9 に示した増幅回路の出力段に使用する本発明の MOSFET の 2 素子を、1 チップ内にレイアウトしたものである。両者のゲート、ドレイン間を、それぞれ 10 Ω 程度の抵抗 R で結んでいる。この抵抗は、例えばゲート電極材料を使用する。

【0179】本実施形態 12 により、2 素子の性能ばらつきの低減と、モジュールにおけるチップ占有面積の削減が可能となった。

（実施形態 13）本発明の実施形態 13 を、図 7 4 を参照し説明する。

【0180】図 7 4 は、図 4 9 に示した増幅回路の入力段、中段に使用するパワー MOSFET を、1 チップ内にレイアウトしたものである。ソース接地回路であるため、半導体基板 1 は共通であるが、両者のゲート、ドレインは電気的に絶縁されている。この際、シールド手段としては、例えば、両者の間に P 型低抵抗（リーチスルー）層を設け、基板表面には配線層を設けた構造が採用される。このような構造は、シールド手段を形成するための特別なプロセスは必要とせず、実施形態 1 のパワー MOSFET を形成する過程で得られる。本実施形態 13 によっても、モジュールにおけるチップ占有面積の削減が可能となった。また、本実施形態 13 では、モジュールのレイアウトの面積効率を上げるために、2 つの MOSFET を上下反対の関係でレイアウトしている。

【0181】また、2 つの異なる周波数を扱う増幅器、いわゆるデュアルバンド用増幅器においては、多段増幅回路 2 セット分を 1 つのモジュールに組み込む。このため、図 7 4 に示すチップも 2 セット配置される。この場合、一方のチップの初段用 FET と、他方のチップの中段用 FET を使用して、それぞれの増幅回路を構成することにより、隣接する FET が同時に動作することはないため、安定した動作が可能となる。

【0182】（実施形態 14）本発明の実施形態 14

を、図75を参照し説明する。

【0183】図75は、図73に示す実施形態12のチップに、電流検出用のMOSFETsを加えたものである。MOSFETのセル構造は、出力段素子と同様であり、そのゲート幅は、出力段素子の1/1000程度に設定されている。これにより、出力段素子に流れる電流をモニタし、制御回路にフィードバックさせる。また、電流検出用の他に、スイッチ素子としてMOSFETを加えることもある。これは、デュアルバンドなどの応用で、完全に素子をオフ動作させたい場合などに使用される。このようなMOSFETは、ゲート、ドレイン端子が露出した構造であるため、それぞれの端子に接続される保護素子を内蔵させている。Msはゲート幅が小さいため、ドレイン端子に時間的に正の高電圧が加わった場合、ブレークダウン電流でそのエネルギーを吸収できず、破壊に至る。また、負の電圧の場合も、ボディダイオードがオンして、電流が流れるが電流容量が足りずに破壊する。この両方の対策として、FETと同等の耐圧を持ち、十分なサイズのダイオードを保護素子として用いている。

【0184】（実施形態15）本発明の実施形態15である半導体装置（Pゲート・Nチャネル型SiパワーMOSFET：PゲートMOS）について、図76から図78および図82を参照し説明する。本実施形態15は、オン抵抗低減のために、ゲート電極およびバルク構造に特徴が向けられたものである。

【0185】＜基本セルの断面構造＞図76は、本発明の実施形態15であるPゲートMOSで構成された基本セルの断面図である。

【0186】図76に示したPゲートMOSは、P型シリコン半導体基板1と、基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体（エピタキシャル）層2と、そのエピタキシャル層の主面内に互いに離間して設けられた、第1のN型領域（ソース領域）10および第2のN型領域（ドレイン領域）9と、エピタキシャル層の主面内のソース領域10およびドレイン領域9の間であって、ソース領域から離間し、そしてドレイン領域に接して位置された、そのドレイン領域9よりも低不純物濃度を有する第3のN型領域（オフセット領域）8と、ソース領域10とオフセット領域8との間に位置し、チャンネルが形成される領域の主面上であって、端部がソース領域10およびオフセット領域8をそれぞれオーバーラップし、かつソース領域10およびオフセット領域8上にそれぞれ終端するように、ゲート絶縁膜を6介して設けられたP型のゲート電極7と、ソース領域10およびドレイン領域9のそれぞれに電気的に接続された第1電極S(1)および第2電極Dと、そして半導体基板1の一方の主面とは反対の他方の主面に接続された第3電極S(2)とを有し、ソース領域10とオフセット領域8との間に位置したチャンネルが形成される領域（P型ウェル領域）5内の不純物濃度

分布が、表面から半導体基板1に向かって減少するN型分布域55を含んでいる。図82に図76に示したP型ウェル領域5（G-G'切断部分）の不純物分布を示す。

【0187】本実施形態15によれば、ゲート電極がP型半導体、すなわちPゲートにしたことにより、Nゲート（ゲート電極がN型半導体）に比べて、仕事関数差の関係でしきい電圧 V_{th} が1V上がることになる。このため、P型半導体領域表面にN型層55を設けたにも係わらずゲート電圧を与えない状態で、ノーマリオフ、つまりエンハンスメント状態を保てる。そして、このN型層55の存在は、図77に示すように、ドレイン接合（Jd）からの空乏層（Depletion layer）400の伸びを延ばす作用をもたらすことになり、特に、矢印A部においては、N型層55によりゲート酸化膜界面の影響を受けない。このため、ドレイン耐圧は向上する。そこで、NゲートMOSと同じ目標値のドレイン耐圧を有するPゲートMOSを設計する場合には、ドレインオフセット領域の濃度を高くすることができる。つまり、ドレインオフセット領域側に空乏層を延ばす必要がなくなったからである。オフセット領域の濃度を高くできるということは、NゲートMOSに比べ、ドレインオフセット領域の低抵抗化が図れる。このため、オン抵抗低減に寄与することになる。

【0188】＜単位ブロックのレイアウト＞本実施形態15の単位ブロックのレイアウトは、本実施形態1と同様に図2に示すとおりである。したがって、その説明は省略する。

【0189】＜チップレイアウト＞本実施形態15のチップレイアウトは、本実施形態1と同様に図3に示すとおりである。したがって、その説明は省略する。

【0190】＜ゲート保護ダイオード＞本実施形態15のゲート保護ダイオードは、本実施形態1と同様に図4および図5に示すとおりである。したがって、その説明もまた省略する。

【0191】＜プロセス＞本実施形態15であるPゲートMOSの製造方法について、図78(a)(b)を参照し、以下に説明する。

【0192】実施形態1の工程(3)に続いて、図78(a)(b)に示すように、マスクPR2を用いて、リン(P)に比べて拡散速度の遅いヒ素(As)を、イオン打ち込み法によりエピタキシャル層2内に選択的に導入する。イオン打ち込み条件は、加速エネルギー80keV、ドーズ量 $4.5 \times 10^{11}/\text{cm}^2$ である。続いて、アニール処理(950℃、60秒)を行い、表面に不純物濃度をピーク値(約 $6 \times 10^{16}/\text{cm}^3$)を持つN型領域(図76に示したN型領域55)を形成する。上述のようにN型領域55を形成する不純物としてヒ素(As)を用いたことにより、その不純物はエピタキシャル層内部に拡散しにくく、N型領域55表面を高濃度に維持できる。

【0193】続いて、実施形態1の工程(6)のゲート酸化膜を形成した後、工程(7)のゲート電極用導体層を形成する(図10参照)。まず、イントリンシック(intrinsic)な多結晶シリコン層7aをCVD法により被覆する。そして、多結晶シリコン層7aにボロン不純物をイオン打ち込み法により導入し、Pゲート電極を形成する。イオン打ち込みによるPゲート電極形成は、ボロンによるゲート酸化膜へのダメージを低減するために、そのゲート酸化膜近傍のボロン濃度を抑制する目的で採用される。

【0194】この後、実施形態1の工程(8)から工程(20)までの工程が実行される。

【0195】(実施形態16)本実施形態16は、浅いオフセット領域8をドレイン領域9側のみに形成したPゲートMOSを提供するものであり、図79から図81を参照し、以下に説明する。

【0196】本実施形態16は、前記実施形態15のプロセスをベースとしており、ドレインオフセット領域形成工程(実施形態1のプロセス、工程(10)参照)時に、マスクPR10を用いて、P型ウェル領域5およびP型ソース打ち抜き領域3表面にリングが導入されないようにし、オフセット領域8をドレイン領域9側のみに形成する。

【0197】続いて、図80に示すように、ソース・ドレイン領域(10、9)を形成する。このソース・ドレイン領域(10、9)の形成方法は、実施形態1のプロセス、工程(11)に従う。そしてこの後、実施形態1のプロセス、工程(12)へ進む。

【0198】以上により、図81に示すようにPゲートMOSが完成する。

【0199】本実施形態16によれば、PR10によりP型ソース打ち抜き領域3表面にリングが導入されない。このため、P型ソース打ち抜き領域3表面へのP型コンタクト領域形成のための不純物導入は、高濃度イオン打ち込みを行う必要がない。すなわち、高濃度イオン打ち込みによるイオンダメージを回避し、P型コンタクト領域の表面濃度を高めることができる。したがって、低抵抗コンタクトが実現でき、オン抵抗低減に寄与する。

【0200】なお、本実施形態16は実施形態1のようなNゲートMOSにも適用可能である。

【0201】(実施形態17)本実施形態17は前記実施形態14の変形例であり、図76において、N型層55の不純物分布のピーク位置をエピタキシャル層表面より深い位置に設定した、埋め込みN型層を有する。この埋め込みN型層のピーク位置の深さはその表面からおおよそ0.05 μ mであり、そのピーク濃度はおおよそ $2 \times 10^{17}/\text{cm}^3$ である。

【0202】本実施形態17の製造方法は、前記実施形態15に基いて行われる。すなわち、埋め込みN型層は、前記実施形態15のN型層55形成工程で上記不純

物分布をなすようなイオン打ち込み条件の設定により形成される。

【0203】本実施形態17のような埋め込みN型層を有するPゲートMOSにおいては、N型層が埋め込まれているため、でこぼこしたゲート酸化膜の界面により電子の表面散乱を回避できる。すなわち、本実施形態16は、バルクの散乱だけを考慮するだけでよい。したがって、キャリアの移動度が向上する。言い換えると、オン抵抗低減が図れる。本実施形態17もまた実施形態1のようなNゲートMOSにも適用可能である。

【0204】以上、本発明者によってなされた発明を上記実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0205】上記の実施の形態に基き、本発明の特徴をまとめると以下のとおりである。

【0206】(1)本発明に係わる半導体装置は、第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層の主面一部に、チャネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記半導体層の主面他部に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層と、上記ゲート電極、上記第1領域、上記第2領域および上記リーチスルー層上を覆う第1絶縁膜と、上記第1絶縁膜内に設けられた開口を介して上記第1領域、上記第2領域の高濃度領域および上記リーチスルー層にそれぞれ接続された、第1導体プラグ、第2導体プラグおよび第3導体プラグと、上記第1導体プラグと第3プラグとに接続された第1導体層、および上記第2導体プラグに接続された第2導体層と、そして、上記半導体基板の下面に接続された第3導体層とから成る。

【0207】(2)上記(1)において、上記第1導体層および上記第2導体層上に第2絶縁膜が被覆され、上記第2絶縁膜に対し、上記第1導体プラグおよび上記第2導体プラグ上に位置し、上記第2絶縁膜に対してそれぞれ第1開口および第2開口が設けられ、上記第1開口を通して第1配線層が上記第1導体層に接続され、上記第2開口を通して第2配線層が上記第2導体層に接続されている。

【0208】(3)上記(1)において、第3導体プラグが上記第1絶縁膜内に設けられた開口を介して上記ゲート電極に接続され、上記第3プラグに第4導体層が接続されている。

【0209】(4)上記(1)において、上記第1、第

2 導体プラグはタングステンより成り、上記第 1、第 2 導体層はアルミニウム合金より成る。

【0210】(5) 上記(4)において、上記第 1、第 2 導体層は AlCu 合金より成る。

【0211】(6) 上記(3)において、上記第 3 導体プラグはタングステンより成り、上記第 4 導体層はアルミニウム合金より成る。

【0212】(7) 上記(6)において、上記第 1、第 2 導体層は AlCu 合金より成る。

【0213】(8) 上記(2)において、上記第 1、第 2 配線層はアルミニウム合金より成る。

【0214】(9) 上記(1)において、上記第 1、第 2 導体プラグは W より成り、上記第 1、第 2 導体層は AlCu 合金より成り、上記第 3 導体層は、上記半導体基板の下面に接して Ni, Ti および Au を含む電極構造である。

【0215】(10) 上記(3)において、上記第 3 導体プラグは W より成り、上記ゲート電極は多結晶 Si 上に金属シリサイドが積層された電極構造であり、上記上記第 4 導体層は AlCu 合金より成る。

【0216】(11) 本発明に係わる半導体装置は、第 1 導電型の半導体基板と上記半導体基板の上面に形成された第 1 導電型の半導体層とから成る半導体本体に、絶縁ゲート電界効果トランジスタと、上記トランジスタを保護するためにゲートに接続された保護ダイオードとが構成され、上記絶縁ゲート電界効果トランジスタは、素子分離領域により区画された上記半導体層の第 1 主面部に、チャネルが形成される領域を挟んで互いに離間して位置した、上記第 1 導電型とは反対の第 2 導電型の第 1、第 2 領域と、上記第 2 領域はチャネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記第 1 主面部の一部に第 1 領域および上記半導体基板に接するように形成された第 1 導電型の第 1 リーチスルー層と、上記ゲート電極、上記第 1 領域、上記第 2 領域および上記第 1 リーチスルー層上を覆う第 1 絶縁膜と、上記第 1 絶縁膜内に設けられた開口を介して上記第 1 領域、上記第 2 領域の高濃度領域および上記第 1 リーチスルー層にそれぞれ接続された、第 1 導体プラグ、第 2 導体プラグおよび第 3 導体プラグと、上記第 1 導体プラグと第 3 プラグとに接続された第 1 導体層、および上記第 2 導体プラグに接続された第 2 導体層と、そして上記半導体基板の下面に接続された第 3 導体層とから成り、上記保護ダイオードは、素子分離領域により区画された上記半導体層の第 2 主面部に形成された第 2 導電型の第 3 領域と、上記第 3 領域内に形成された第 1 導電型の第 4 領域および第 5 領域とから成り、上記第 4 領域、上記第 3 領域および上記第 5 領域とで構成されたバック・ツォー・バック・ダイオードである。

【0217】(12) 上記(11)において、上記第 4 領域は第 4 導体プラグを介して、上記半導体層主面上に設けられたゲート電極用パッドに電氣的に接続されている。

【0218】(13) 上記(12)において、上記第 4 プラグは複数のプラグから成る。

【0219】(14) 上記(11)において、上記第 2 主面部は上記第 1 絶縁膜に覆われ、第 4 導体プラグおよび第 5 導体プラグがそれぞれ上記第 1 絶縁膜に設けられた開口を介して上記第 4 領域および上記第 5 領域に接続され、第 6 導体層および第 7 導体層が上記第 4 導体プラグおよび上記第 5 導体プラグに接続され、上記第 2 主面部に上記第 5 領域に接し、上記半導体基板に接する第 2 リーチスルー層が配置されている。

【0220】(15) 上記(14)において、上記第 6 導体層が上記素子分離領域上に延在し、上記素子分離領域上においてゲート電極用パッドが上記第 6 導体層に接続されている。

【0221】(16) 上記(14)において、上記第 1、第 2、第 3、第 4 および第 5 導体プラグはタングステンより成り、上記第 1、第 2、第 6 および第 7 導体層はアルミニウム合金より成る。

【0222】(17) 上記(16)において、上記第 1、第 2、第 6 および第 7 導体層は AlCu 合金より成る。

【0223】(18) 本発明に係わるドレインオフセット領域を有する電力用絶縁ゲート電界効果型半導体装置は、P 型シリコン半導体層に互いに離間して N 型ソース領域およびオフセット領域を有する N 型ドレイン領域が形成され、上記 N 型ソース領域と上記オフセット領域との間のチャネル領域となる上記 P 型シリコン半導体層表面にゲート絶縁膜を介してゲート電極が形成され、上記ゲート電極は P 型不純物を含むシリコン半導体層より成る。

【0224】(19) 上記(18)において、上記ゲート電極は、P 型不純物を含む多結晶シリコン層と、該多結晶シリコン層上に形成された金属シリサイド層とから成る。

【0225】(20) 上記(18)において、上記ゲート絶縁膜は、熱酸化によって形成した第 1 シリコン酸化膜と、上記シリコン酸化膜上に気相化学成長によって形成した第 2 シリコン酸化膜とから成る。

【0226】(21) 本発明に係わる半導体装置は、P 型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有する P 型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第 1 の N 型領域および第 2 の N 型領域と、上記半導体層の主面内の上記第 1 の N 型領域および第 2 の N 型領域の間であって、上記第 1 の N 型領域から離間し、そして上記第 2 の N 型領域に接して位置され

た、上記第2のN型領域よりも低不純物濃度を有する第3のN型領域と、上記第1のN型領域と上記第3のN型領域との間に位置し、チャンネルが形成される上記半導体層の主面上であって、端部が上記第1領域および上記第3領域をそれぞれオーバーラップし、かつ上記第1領域および上記第3領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第1のN型領域と上記第3のN型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって減少するN型分布域を有する。

【0227】(22) 本発明に係わる半導体装置は、P型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第1のN型領域および第2のN型領域と、上記半導体層の主面内の上記第1のN型領域および第2のN型領域の間であって、上記第1のN型領域から離間し、そして上記第2のN型領域に接して位置された、上記第2のN型領域よりも低不純物濃度を有する第3のN型領域と、上記第1のN型領域と上記第3のN型領域との間に位置し、チャンネルが形成される上記半導体層の主面上であって、端部が上記第1領域および上記第3領域をそれぞれオーバーラップし、かつ上記第1領域および上記第3領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第1のN型領域と上記第3のN型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加するP型分布域と、上記P型分布域に重なり、上記半導体層の表面から離れた内部において不純物濃度のピークを有するN型分布域とを有する。

【0228】(23) 本発明に係わる半導体装置は、第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするよう

に、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には、上記第3領域内に終端する第1導電型の第4領域が選択的に形成され、上記ゲート電極下に位置する上記第4領域内に、上記第3領域よりも深い位置に上記第4領域の表面不純物濃度よりも高い不純物濃度を有する第1導電型のポケット層を有する。

【0229】(24) 上記(23)において、上記第1電極と上記第3電極は電気的に接続されている。

【0230】(25) 上記(23)において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられていることを特徴とする半導体装置。

【0231】(26) 上記(23)において、上記第3電極は、第1基準電位に接続され、上記第2電極は、第2基準電位に接続される。

【0232】(27) 上記(26)において、上記第3電極はソース電極であり、上記第2電極は、ドレイン電極である。

【0233】(28) 上記(26)または(27)において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位である。

【0234】(29) 上記(23)において、上記ポケット層は上記半導体層の主面に対して斜め方向のイオン打ち込み方法により形成されている。

【0235】(30) 本発明に係わる半導体装置は、第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも大きい。

【0236】(31) 上記(30)において、上記第1領域と上記第3領域との間に位置した上記半導体層の主

面には、上記第3領域内に終端する第1導電型の第4領域が選択的に形成されている。

【0237】(32) 上記(30)または(31)において、上記第1電極と上記第3電極は電気的に接続されている。

【0238】(33) 上記(30)において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられている。

【0239】(34) 上記(30)において、上記第3電極は、第1基準電位に接続され、上記第2電極は、第2基準電位に接続される。

【0240】(35) 上記(34)において、上記第3電極はソース電極であり、上記第2電極は、ドレイン電極である。

【0241】(36) 上記(34)または(35)において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位である。

【0242】(37) 上記(30)において、上記第1膜厚のゲート絶縁膜は、上記第2膜厚のゲート絶縁膜よりテーパー形状を成すように厚く形成されている。

【0243】(38) 上記(37)において、上記第1膜厚のゲート絶縁膜は、バースピーク構造よりなる。

【0244】(39) 本発明に係わる半導体装置は、(a)第1導電型の半導体基板と、(b)上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、(c)上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、(d)上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、(e)上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、(f)上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして(g)上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間にバースピークが存在し、上記第3領域表面の不純物濃度は、上記第2領域の不純物濃度にほぼ等しいか、もしくはそれ以上である。

【0245】(40) 上記(39)において、上記第3領域表面の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のピーク値を有する。

【0246】(41) 上記(39)または(40)において、上記第3領域表面の不純物濃度は表面からの深さが0.005 μm 以内に分布している。

【0247】(42) 本発明に係わる半導体装置は、主

面に低不純物濃度を有する第1導電型の半導体層が形成された基板と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、そして、上記ゲート絶縁膜下の上記半導体層内に形成された第1導電型のウエル領域とを有し、上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも厚く形成され、上記第3領域は浅い高濃度領域と深い低濃度領域とから成る。

【0248】(43) 上記(42)において、上記ウエル領域が上記第3領域に終端している。

【0249】(44) 上記(42)において、上記ウエル領域が上記ゲート電極下に終端している。

【0250】(45) 上記(42)において、上記ゲート電極は、P型不純物を含む多結晶シリコン層と上記多結晶シリコン上に積層された高融点シリサイド層とから成る。

【0251】(46) 本発明に係わる半導体装置は、半導体基板と、上記半導体基板の主面上に形成された第1導電型を持つ半導体層と、上記半導体層主面に互いに離間されて位置した、上記第1導電型とは反対の第2導電型を持つ第1および第2領域と、上記第1領域と第2領域との間に位置した上記半導体層主面内であって、上記第1領域から離間し、上記第2領域に接するように形成された第2導電型の第3領域と、上記第1領域と上記第3領域との間のチャンネル領域となる上記半導体層の主面に設けられたゲート酸化膜と、上記ゲート酸化膜上に設けられたゲート導体層と、上記第1領域に接続された第1導体層と、上記第2領域に接続された第2導体層と、そして、上記半導体基板の裏面に接続された第3導体層とから成り、上記第1領域と上記ゲート絶縁膜との間に位置する第1ゲート酸化膜および上記第3領域と上記ゲート絶縁膜との間に位置する第2ゲート酸化膜のそれぞれの膜厚が上記チャンネル領域となる半導体層の主面に設けられた第3ゲート酸化膜の膜厚よりも大きい。

【0252】(47) 上記(46)において、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には第1導電型の第4領域が、上記第3領域内で終端している。

【0253】(48) 上記(46)または(47)において、上記第1導体層と上記導体層は電気的に接続され

ている。

【0254】(49) 上記(46)において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられている。

【0255】(50) 上記(46)において、上記第3導体層は、第1基準電位に接続され、上記第2導体層は、第2基準電位に接続される。

【0256】(51) 上記(50)において、上記第3導体層はソース裏面電極であり、上記第2導体層は、ドレイン電極である。

【0257】(52) 上記(50)または(51)において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位である。

【0258】(53) 上記(46)において、上記第1および第2ゲート酸化膜は、バズビー構造よりなる。

【0259】(54) 半導体層の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する。

【0260】(55) 上記(54)において、上記半導体層は半導体基板の表面に形成され、上記半導体基板の裏面にソース電極が設けられている。

【0261】(56) 上記(55)において、上記半導体層内に上記半導体基板に達する上記半導体層と同一導電型で、上記半導体層よりも高不純物濃度を有する貫通層が設けられ、上記貫通層の主面に上記ソース用の第1の金属導体層が金属プラグを介して接続されている。

【0262】(57) 上記(56)において、上記金属プラグ上に位置した上記層間絶縁膜に設けられたソース接続用開口を通して、上記ソース用の第1の金属導体層

に対し、上記ソース用の第2の金属導体層が接続されている。

【0263】(58) 上記(56)において、上記ソース用の第2の金属導体層はプローブ用ソースパッド部を有する。

【0264】(59) 上記(56)において、上記ドレインパッド部に近接して上記ソース用の第2の金属導体層のイクステンション部が配置され、上記イクステンション部の下に位置して、上記貫通層と同一の構成を有する他の貫通層が上記半導体層内に設けられ、上記イクステンション部が上記他の貫通層に電氣的接続されている。

【0265】(60) 上記(56)において、上記ゲートパッド部に近接して上記ソース用の第2の金属導体層とは異なるソース用の第2の金属導体層が配置され、上記異なるソース用の第2の金属導体層の下に位置して、上記貫通層と同一の構成を有する他の貫通層が上記半導体層内に設けられ、上記異なるソース用の第2の金属導体層が上記他の貫通層に電氣的接続されている。

【0266】(61) 上記(59)において、上記ゲート用の第1の金属導体層は上記ゲート電極用導体層に沿って配置され、上記ドレイン用の第1の金属導体層および上記ソース用の第1の金属導体層は上記ゲート用の第1の金属導体層に沿ってそれぞれ配置され、上記ドレイン用の第2の金属導体層は上記ドレイン用の第1の金属導体層上に位置して上記ドレイン用の第1の金属導体層に沿って配置され、上記ソース用の第2の金属導体層は上記ソース用の第1の金属導体層上に位置して上記ソース用の第1の金属導体層に沿って配置されている。

【0267】(62) 半導体層を有する半導体チップの主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイ

ン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体チップの主面に複数配置されている。

【0268】(63) 上記(62)において、上記半導体チップは互いに対向する第1の辺、第2の辺を有し、上記単位ブロックの絶縁ゲート型電界効果トランジスタの複数が上記第1、第2の辺に沿って並列配置され、上記ドレイン用のボンディングパッド部が上記第1の辺に沿って配置され、上記ゲート用のボンディングパッド部が上記第2の辺に沿って配置されている。

【0269】(64) 上記(63)において、上記ソース用の第2の金属導体層はプローブ用ソースパッドを有し、上記単位ブロック内のプローブ用ソースパッド部が上記第2の辺に沿って配置されている。

【0270】(65) 上記(63)において、最も外側に配置されたゲート用のボンディングパッド部にそれぞれゲート保護素子が電気的接続されている。

【0271】(66) 上記(65)において、上記半導体チップ主面に上記第1の金属導体層と同層の金属接続層が形成され、上記金属接続層により上記ゲート保護素子と上記ボンディングパッド部とが接続されている。

【0272】(67) 半導体層を有する半導体基板の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体基板の主面に複数配置され、上記単

位ブロック間において、上記ゲート用の第1の金属導体層と上記ゲート用の第2の金属導体層とが接続されている。

【0273】(68) 半導体層を有する半導体基板の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有し、上記ドレイン領域は上記チャネル領域間に挟まれた共通ドレイン領域であり、上記ゲート電極用導体層はそれぞれ独立して設けられている。

【0274】(69) 本発明に係わる絶縁ゲート型半導体装置は、半導体層を有する半導体基板の主面に、それぞれ複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第1および第2絶縁ゲート型電界効果トランジスタが配置され、第1、第2絶縁ゲート型電界効果トランジスタのそれぞれのドレイン領域にインピーダンス整合用の第1抵抗体が電気的接続され、第1、第2絶縁ゲート電界効果トランジスタのそれぞれのゲート電極用導体層にインピーダンス整合用の第2抵抗体が電気的接続されて成る。

【0275】(70) 上記(69)において、上記第1、第2抵抗体は上記ゲート電極用導体層と同一の材料から成る。

【0276】(71) 上記(69)において、第1、第2絶縁ゲート型電界効果トランジスタと同様に構成された電流検出用素子が上記半導体基板の主面に配置され、上記第1または第2絶縁ゲート型電界効果トランジスタと上記電流検出用素子との間にシールド層が配置されて成る。

【0277】(72) 上記(71)において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上

記金属プラグに接続された第1の金属導体層と、上記第1の金属導体層に接続された第2の金属導体層とから成る。

【0278】(73) 本発明に係わる絶縁ゲート型半導体装置は、半導体層を有する半導体基板の主面に、それぞれ複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第1および第2絶縁ゲート型電界効果トランジスタが配置され、上記主面に上記第1および第2絶縁ゲート型電界効果トランジスタに対するドレイン用ボンディングパッドおよびゲート用ボンディングパッドがそれぞれ配置され、上記半導体基板の裏面にソース電極が配置され、上記第1および第2絶縁ゲート型電界効果トランジスタ間にシールド層が配置されて成る。

【0279】(74) 上記(73)において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上記金属プラグに接続された第1の金属導体層と、上記第1の金属導体層に接続された第2の金属導体層とから成る。

【0280】(75) 第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層主面に素子形成領域を区画するために形成されたフィールド絶縁膜と、上記素子形成領域内に、チャネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記素子形成領域内に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層とを有する半導体装置の製造方法において上記半導体層主面に選択的に上記リーチスルー層を形成するための不純物を導入する工程と、熱酸化により上記半導体層主面に上記フィールド絶縁膜を選択的に形成するとともに、上記不純物を引き伸ばし、上記半導体基板に接する上記リーチスルー層を形成する工程と、上記フィールド絶縁膜によって区画された素子形成領域に表面に上記ゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に上記ゲート電極を形成する工程と、しかる後、上記素子形成領域内に上記第1、第2領域に形成する工程とから成る。

【0281】(76) 上記(75)において、上記半導体層の厚さは2.5 μm 以上、3.5 μm 以下に形成されている。

【0282】(77) 上記(75)において、上記フィールド絶縁膜形成工程の後、上記素子形成領域内に、第1導電型の不純物を導入して、上記チャネルが形成され

る領域としてのウエル領域を形成する。

【0283】(78) 上記(77)において、上記第1導電型の不純物導入は2段階のイオン打ち込みにより行われる。

【0284】(79) 上記(75)において、上記フィールド絶縁膜形成工程の後であって、上記ウエル形成に先立ってアニール処理を行う。

【0285】(80) 上記(75)において、上記低濃度領域は上記ゲート電極に自己整合形成される。

【0286】(81) 上記(80)において、上記低濃度領域は、上記素子形成領域内に第2導電型の不純物を導入する第1のイオン打ち込み工程と、上記第1のイオン打ち込みよりも高濃度の第2導電型の不純物を導入する第2のイオン打ち込み工程とから成る。

【0287】(82) 上記(79)において、上記ゲート電極を形成工程の後であって、上記ゲート電極端部下に位置し、上記低濃度領域が形成される素子形成領域表面に熱酸化によりバズビーク酸化膜を形成する工程を有する。

【0288】(83) 上記(82)において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記バズビーク酸化膜を形成する。

【0289】(84) 上記(75)において、上記ゲート電極を形成工程の後であって、上記ゲート電極両端部下に位置した上記素子形成領域表面に熱酸化によりバズビーク酸化膜を形成する工程を有する。

【0290】(85) 上記(84)において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記バズビーク酸化膜を形成する。

【0291】(86) 上記(75)において、上記ゲート絶縁膜の形成工程は、窒素を含む酸素雰囲気中での熱処理により酸化膜を形成する。

【0292】(87) 上記(82)または(84)のいずれかにおいて、上記バズビーク酸化膜は窒素を含む熱酸化により形成する。

【0293】(88) 上記(82)または(84)のいずれかにおいて、上記バズビーク酸化膜を形成した後、上記バズビーク酸化膜内に窒素イオンをイオン打ち込み方法により導入する。

【0294】(89) 本発明に係わる半導体装置の製造方法は以下の工程より成る。

【0295】(a) 主面に第1導電型の半導体層を有する半導体基板を準備する工程と、(b) 上記半導体層主面に上記半導体基板に到達するリーチスルー層を形成するための第1導電型の不純物を選択的に不純物を導入する工程と、(c) 熱酸化により上記半導体層主面に素子形成領域を区画するためのフィールド絶縁膜を選択的に形成する工程と、(d) 上記フィールド絶縁膜によって区画され

た素子形成領域に表面にゲート絶縁膜を形成する工程と、(e)上記ゲート絶縁膜上にゲート電極を形成する工程と、(f)上記素子形成領域内に第1導電型のオフセット領域を上記ゲート電極に対し自己整合形成する工程と、(g)上記素子形成領域内に、上記ゲート電極に対し自己整合された第1導電型の第1領域を、上記ゲート電極端から離間して上記オフセット領域に接し、そして上記オフセット領域よりも高不純物濃度を有する第1導電型の第2領域をそれぞれ形成する工程と、続いて(h)上記素子形成領域を覆うように第1の絶縁膜を形成する工程と、(i)上記第1の絶縁膜に、上記第1、第2領域主面および上記リーチスルー層主面を露出するための開口をそれぞれ形成する工程と、(j)上記開口内に、上記第1、第2領域主面および上記リーチスルー層に接続する第1、第2、第3金属プラグをそれぞれ形成する工程と、(k)上記第1、第3金属プラグを互いに接続する第1導体層を、上記第2金属プラグに接続する第2導体層をそれぞれパターン形成する工程と、(l)上記半導体基板の裏面に第3導体層を形成する工程。

【0296】(90)上記(89)において、上記(l)工程に先立って上記半導体基板の裏面を研削することを特徴とする半導体装置の製造方法。

【0297】(91)上記(89)において、上記(l)工程に続いて、(m)上記第1導体層および上記第2導体層上に第2絶縁膜を被覆する工程と、(n)上記第2絶縁膜に対し、上記第1導体プラグおよび上記第2導体プラグ上に位置し、上記第2絶縁膜に対してそれぞれ第1開口および第2開口を設ける工程と、(o)上記第1開口を通して上記第1導体層に接続する第1配線層を、上記第2開口を通して上記第2導体層に接続する第2配線層をそれぞれパターン形成する工程とを含む。

【0298】(92)上記(89)において、上記(e)工程に先立って、第1導電型の不純物を導入し、ウェル領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【0299】(93)上記(92)において、上記ウェル形成工程は上記(d)工程に続いて行われる。

【0300】(94)上記(92)または(93)いずれかにおいて、上記ウェル形成工程は二段階のイオン打ち込み方法により行われる。

【0301】(95)上記(89)において、上記(h)工程の第1の絶縁膜は窒化シリコン膜である。

【0302】(96)上記(92)において、上記(e)工程の後に、上記ウェル領域内に上記素子形成領域主面に対して斜め方向より第1導電型の不純物をイオン打ち込みすることにより上記ゲート電極下に位置した埋め込み領域を形成する工程を含む。

【0303】(97)上記(96)において、上記埋め込み領域形成工程は、上記(g)工程で上記第1および第2領域形成のために用いられたマスクを使用する。

【0304】(98)本発明に係る縁ゲート型半導体装置は、第1導電型の低抵抗半導体基板上に形成された上記第1導電型と同一導電型の高抵抗層表面に絶縁ゲート型電界効果トランジスタが形成されている絶縁ゲート型半導体装置であって、上記第1導電型とは反対の導電型の第2導電型の低抵抗ソース領域が該高抵抗層内に形成された第1導電型の低抵抗層を介して上記低抵抗基板に接続され、上記半導体装置の第2導電型の低抵抗ドレイン領域が第2導電型の高抵抗層を介してゲート電極端から離れたオフセット構造を構成し、ゲート電極のチャネル方向長さが $0.35\mu\text{m}$ 以下、ゲート酸化膜厚さが 10nm 以上 12nm 以下、ドレイン領域のゲート電極端からのオフセット長さが $0.4\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下、半導体基板上の高抵抗層の厚さが $2.5\mu\text{m}$ 以上、 $3.5\mu\text{m}$ 以下である。

【0305】(99)絶縁ゲート型電界効果トランジスタを構成する複数の半導体チップにより増幅回路を構成する高周波モジュールにおいて、上記それぞれの半導体チップは、半導体層を有する半導体基板の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有し、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体層主面に複数配置されている。

【0306】

【発明の効果】本発明によれば、GSM、PCS、PDC、CDMA方式などの携帯電話端末に使用されるパワーMOSFETの出力電力、破壊耐量を確保しつつ、付加効率を向上させることが可能となる。そして、これを用いたGSM方式用モジュールにおいては、出力電力4W、総合効率55%を

達成することが可能となる。また、チップの小型化、集積化により、モジュール実装面積の削減も可能となる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 である半導体装置（N ゲート・N チャネル型 Si パワー MOS FET）の断面図である。

【図 2】本発明の実施形態 1 である半導体装置の平面図である。

【図 3】本発明の実施形態 1 である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図 4】図 3 に示した半導体装置（半導体チップ）内の保護素子 19 を拡大した部分的な平面図である。

【図 5】図 4 に示した保護素子の D-D' 切断部分の断面図である。

【図 6】本発明の実施形態 1 である半導体装置の製造工程中における要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中における要部断面図である。

【図 8】図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】図 8 に続く半導体装置の製造工程中における要部断面図である。

【図 10】図 9 に続く半導体装置の製造工程中における要部断面図である。

【図 11】図 10 に続く半導体装置の製造工程中における要部断面図である。

【図 12】図 11 に続く半導体装置の製造工程中における要部断面図である。

【図 13】図 12 に続く半導体装置の製造工程中における要部断面図である。

【図 14】図 13 に続く半導体装置の製造工程中における要部断面図である。

【図 15】図 14 に続く半導体装置の製造工程中における要部断面図である。

【図 16】図 15 に続く半導体装置の製造工程中における要部断面図である。

【図 17】図 16 に続く半導体装置の製造工程中における要部断面図である。

【図 18】図 17 に続く半導体装置の製造工程中における要部断面図である。

【図 19】図 18 に続く半導体装置の製造工程中における要部断面図である。

【図 20】図 19 に続く半導体装置の製造工程中における要部断面図である。

【図 21】図 20 に続く半導体装置の製造工程中における要部断面図である。

【図 22】図 21 に続く半導体装置の製造工程中における要部断面図である。

【図 23】図 22 に続く半導体装置の製造工程中における要部断面図である。

【図 24】図 23 に続く半導体装置の製造工程中における要部断面図である。

【図 25】図 24 に続く半導体装置の製造工程中における要部断面図である。

【図 26】図 25 に続く半導体装置の製造工程中における要部断面図である。

【図 27】図 26 に続く半導体装置の製造工程中における要部断面図である。

10 【図 28】図 27 に続く半導体装置の製造工程中における要部断面図である。

【図 29】図 28 に続く半導体装置の製造工程中における要部断面図である。

【図 30】本発明の実施形態 1 である半導体装置の等価回路図である。

【図 31】本発明の実施形態 1 である半導体装置におけるゲート酸化膜厚さとオン抵抗およびゲート耐圧との関係を示す特性図である。

【図 32】本発明の実施形態 1 である半導体装置におけるゲート長とオン抵抗との関係を示す特性図である。

20 【図 33】本発明の実施形態 1 である半導体装置におけるゲート長と相互コンダクタンスとの関係を示す特性図である。

【図 34】本発明の実施形態 1 である半導体装置におけるゲート長としきい値電圧との関係を示す特性図である。

【図 35】本発明の実施形態 1 である半導体装置におけるオフセット層深さとオン抵抗との関係を示す特性図である。

30 【図 36】本発明の実施形態 1 である半導体装置におけるオフセット長とオン抵抗との関係を示す特性図である。

【図 37】本発明の実施形態 1 である半導体装置におけるオフセット長とドレイン耐圧との関係を示す特性図である。

【図 38】本発明の実施形態 1 である半導体装置におけるパンチスルーストップ層位置とオン抵抗との関係を示す特性図である。

40 【図 39】本発明の実施形態 1 である半導体装置におけるパンチスルーストップ層位置とドレイン耐圧との関係を示す特性図である。

【図 40】図 1 に示した半導体装置における B-B' 切断部分の不純物濃度分布図である。

【図 41】本発明の実施形態 1 である半導体装置のエピタキシャル層厚における基板打ち抜き層の抵抗率依存性を示す特性図である。

【図 42】図 1 に示した半導体装置における C-C' 切断部分の不純物濃度分布図である。

50 【図 43】本発明の実施形態 1 である半導体装置におけるエピタキシャル層厚とブレイクダウン電圧との関係を示す特性図である。

【図44】本発明の実施形態1である半導体装置における電流-電圧特性図である。

【図45】従来技術のドレイン配線のコンタクト部を示す平面図である。

【図46】本発明の実施形態1である半導体装置のドレイン配線のコンタクト部を示す平面図である。

【図47】本発明の実施形態1である半導体装置のRF特性である。

【図48】本発明の実施形態1である半導体装置のRF特性（ゲート幅 W_g 依存）である。

【図49】本発明の実施形態1である半導体装置を用いたRFパワーモジュールの等価回路である。

【図50】本発明の実施形態1である半導体装置を用いたRFパワーモジュールのレイアウトを示す平面図である。

【図51】本発明の実施形態2である半導体装置の断面図である。

【図52】本発明の実施形態2である半導体装置のドレイン・ゲート間容量の電圧依存性を示す特性図である。

【図53】本発明の実施形態2である半導体装置の信号利得と周波数の関係を示す特性図である。

【図54】本発明の実施形態2である半導体装置の製造工程における要部断面図である。

【図55】図54に続く半導体装置の製造工程における要部断面図である。

【図56】本発明の実施形態2である完成された半導体装置の要部断面図である。

【図57】本発明の実施形態3である半導体装置の製造工程における要部断面図である。

【図58】図57に続く半導体装置の製造工程における要部断面図である。

【図59】図58に続く半導体装置の製造工程における要部断面図である。

【図60】本発明の実施形態3である完成された半導体装置の要部断面図である。

【図61】本発明の実施形態4である半導体装置の要部断面図である。

【図62】本発明の実施形態5である半導体装置の要部断面図である。

【図63】本発明の実施形態5である半導体装置のオフセット層表面濃度とオン抵抗劣化率との関係を示す。

【図64】本発明の実施形態6である半導体装置の要部断面図である。

【図65】本発明の実施形態7である半導体装置の要部断面図である。

【図66】本発明の実施形態7である半導体装置の平面図である。

【図67】本発明の実施形態8である半導体装置の平面図である。

【図68】本発明の実施形態9である半導体装置の平面図である。

【図69】本発明の実施形態10である半導体装置の要部断面図である。

【図70】本発明の実施形態10である半導体装置の平面図である。

【図71】本発明の実施形態11である半導体装置（半導体チップ）内の保護素子の平面図である。

10 【図72】図71に示した保護素子のD-D'切断部分の断面図である。

【図73】本発明の実施形態12である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図74】本発明の実施形態13である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図75】本発明の実施形態14である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図76】本発明の実施形態15である半導体装置（Pゲート・Nチャネル型SiパワーMOSFET）の要部断面図である。

20 【図77】本発明の実施形態15である半導体装置（Pゲート・Nチャネル型パワーMOSFET）における空乏層の伸びを示す要部断面図である。

【図78】本発明の実施形態15である半導体装置の製造工程における要部断面図である。

【図79】本発明の実施形態16である半導体装置の製造工程における要部断面図である。

【図80】図79に続く半導体装置の製造工程における要部断面図である。

30 【図81】本発明の実施形態16である完成された半導体装置の要部断面図である。

【図82】図76のG-G'切断部分の不純物分布図である。

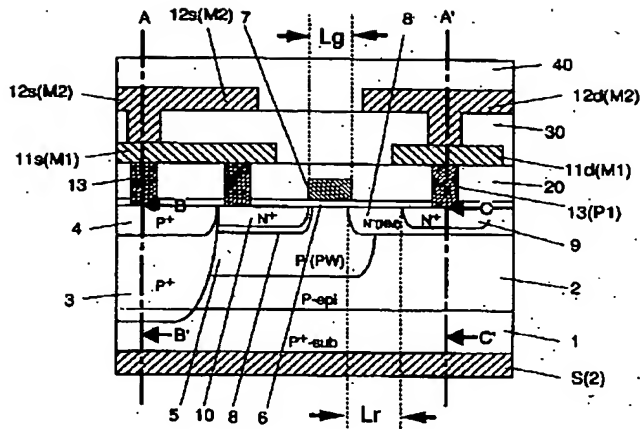
【図83】本発明の実施形態1のゲート本数を増やした半導体装置の平面図である。

【符号の説明】

1…P型低抵抗Si基板（半導体基板）、2…P型高抵抗Siエピタキシャル層（半導体層）、3…P型ソース打抜き領域（リーチスルー層）、4…P型コンタクト領域、5…P型ウエル領域（パンチスルーストップ層PW）、6…ゲート絶縁膜、7…ゲート電極、8…低不純物濃度を有するN型ドレインオフセット領域（NM）、9…高不純物濃度を有するN型ドレイン領域、層層4がゲート酸化膜、10…高不純物濃度を有するN型ソース領域、P1…導体プラグ、20…第1絶縁膜（層間絶縁膜）、M1…導体層（第1層配線）、30…第2絶縁膜（層間絶縁膜）、M2…配線層（第2層配線）、40…表面保護膜、S1…ソース電極（配線）、S2…裏面ソース電極。

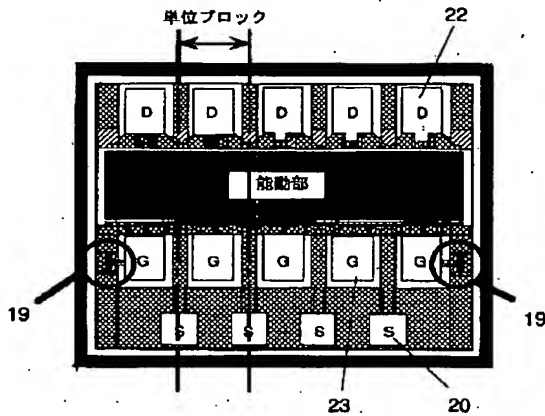
【図1】

図1



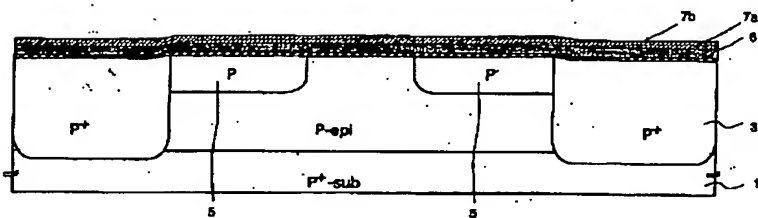
【図3】

図3



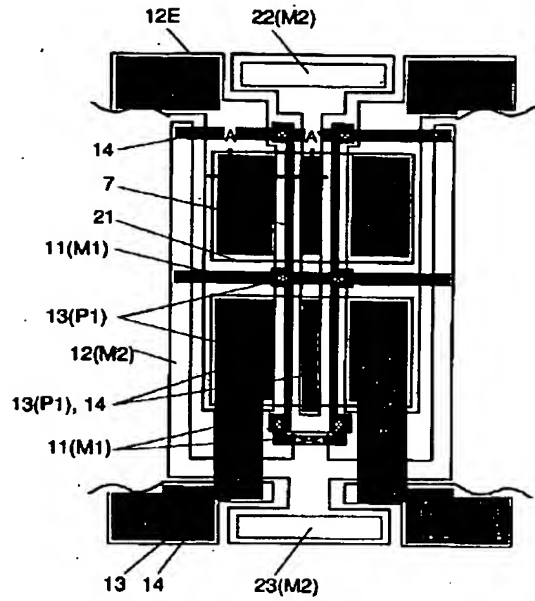
【図10】

図10



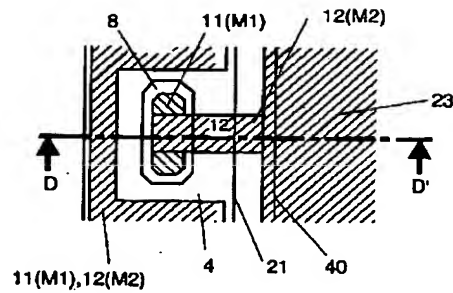
【図2】

図2



【図4】

図4



【図31】

図31

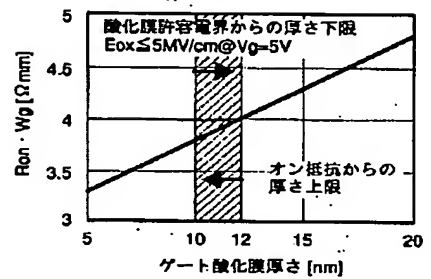
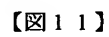
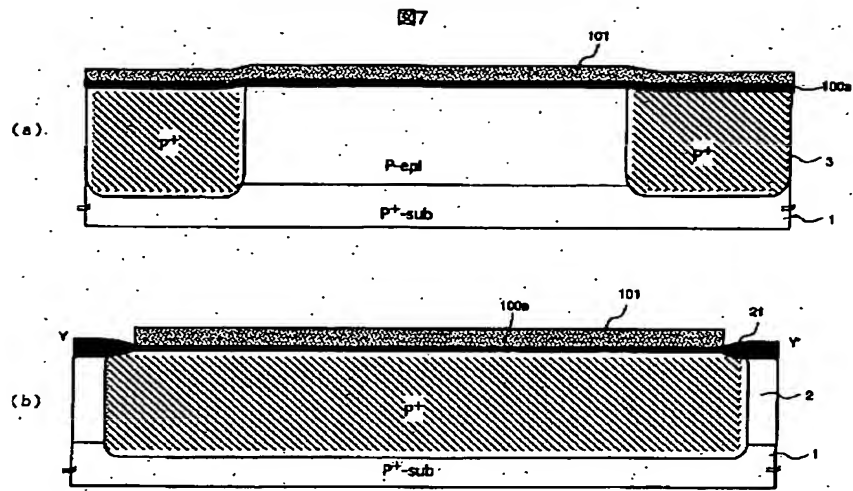
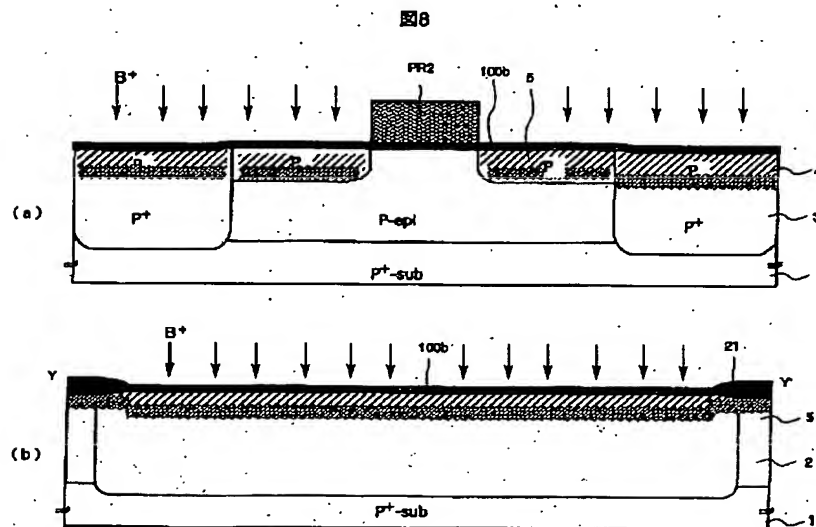


图 5

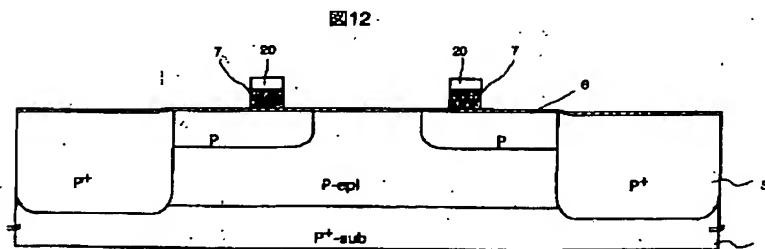
【図7】



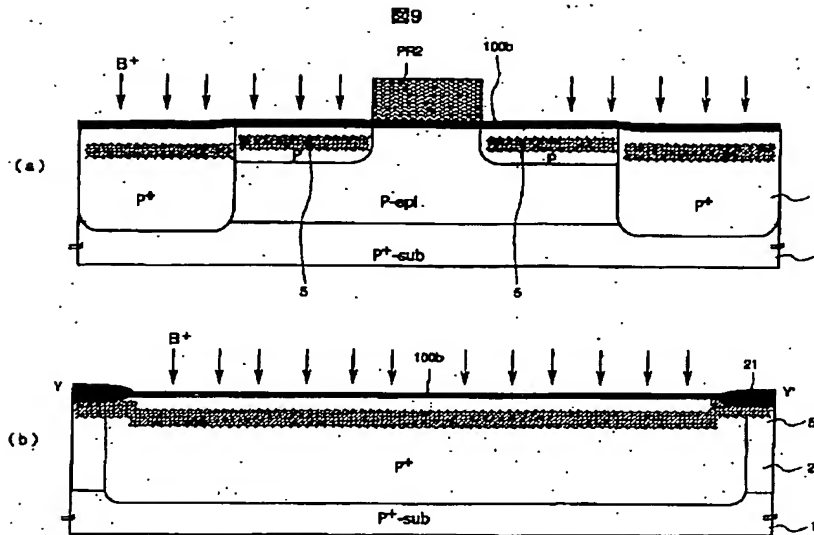
【図8】



【図12】

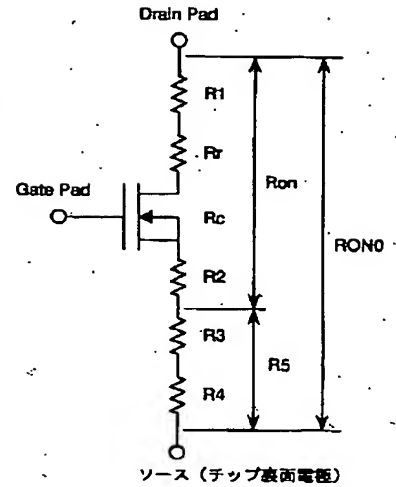


【図9】

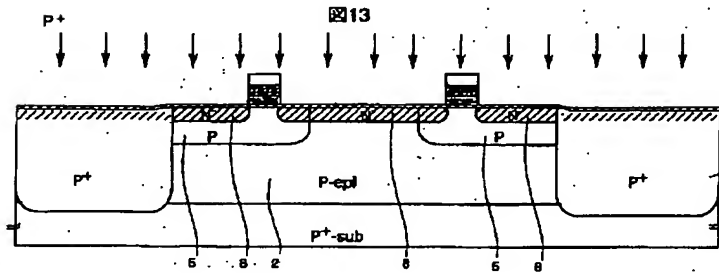


【図30】

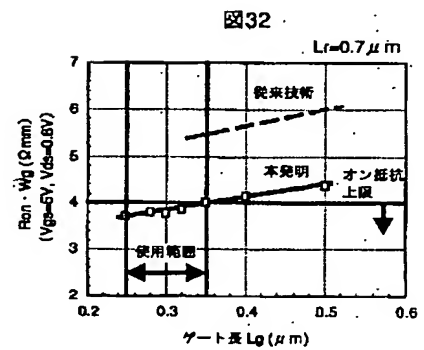
図30



【図13】

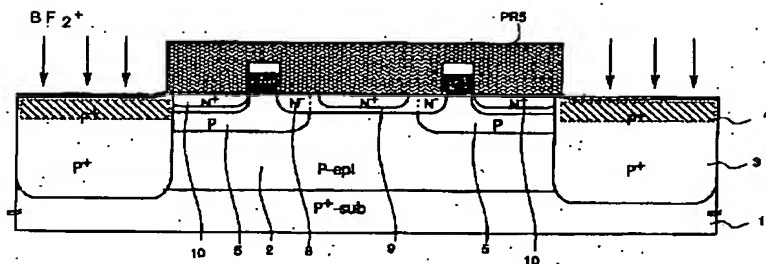


【図32】

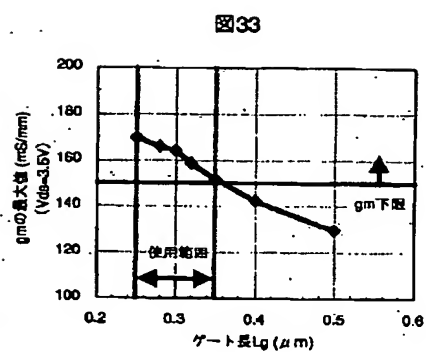


【図15】

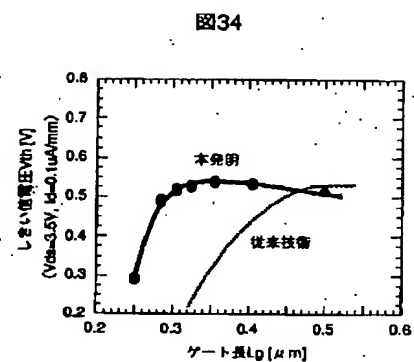
図15



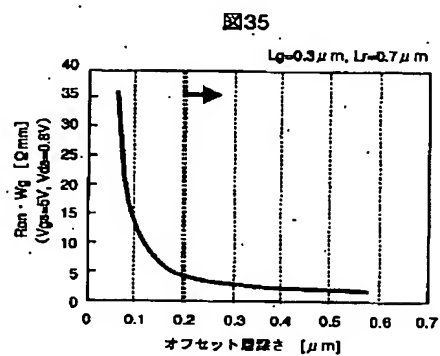
【图 3-3】



【图 3 4】

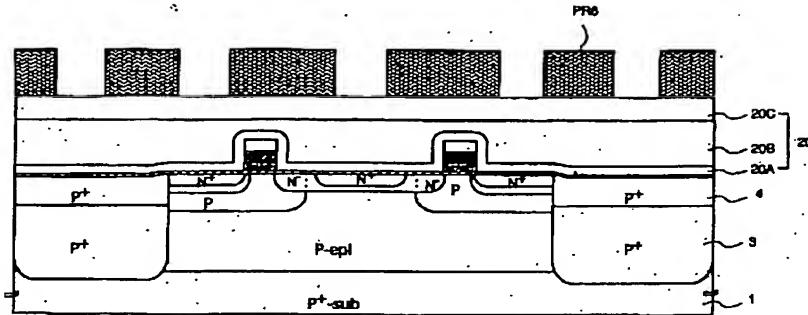


【图 3 5】



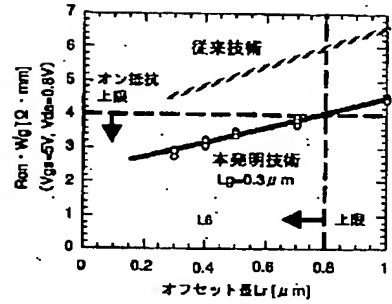
【図18】

図18



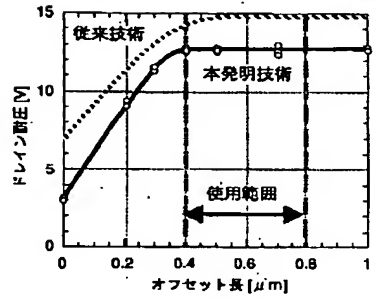
【図36】

図36



【図37】

図37

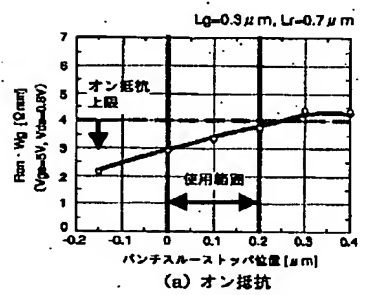
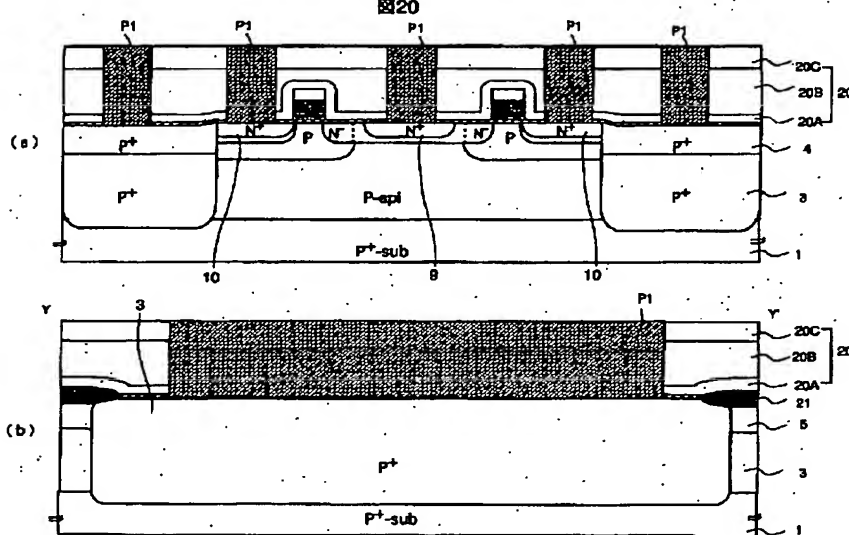


【図38】

図38

【図20】

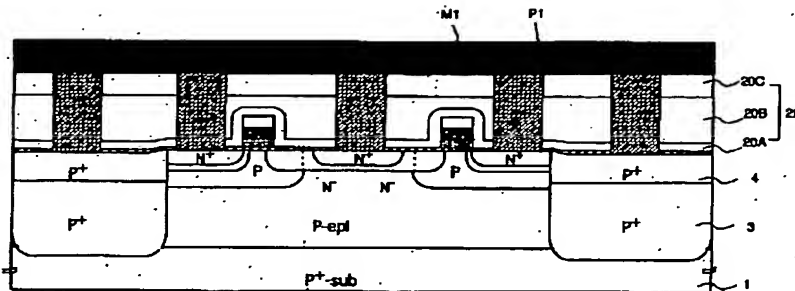
図20



(a) オン抵抗

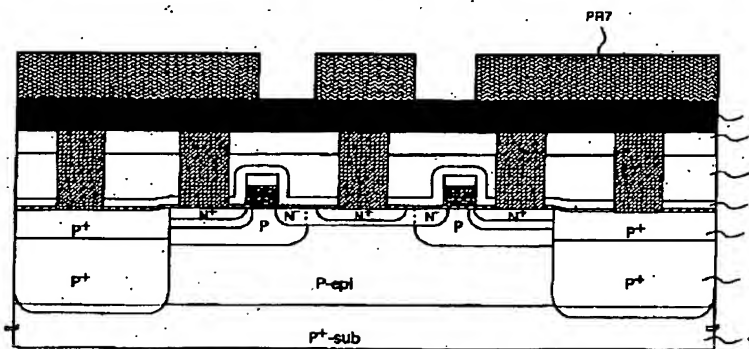
【図21】

図21



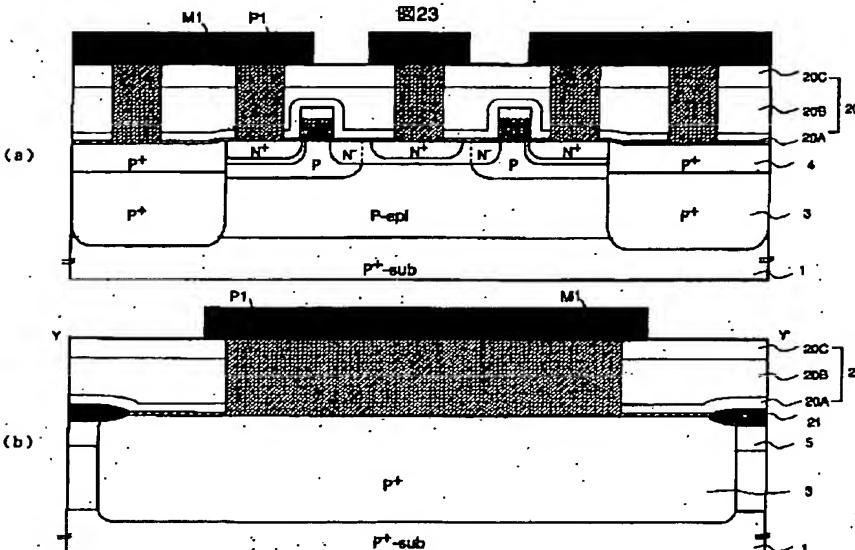
【図22】

図22



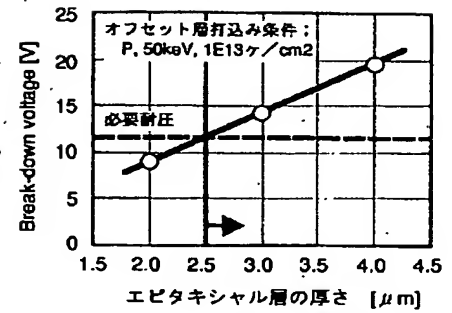
【図23】

図23



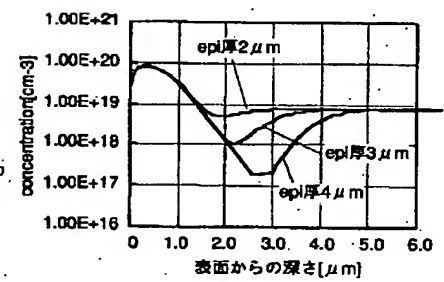
【図43】

図43



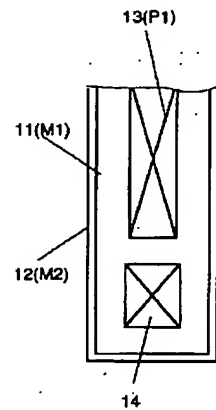
【図40】

図40



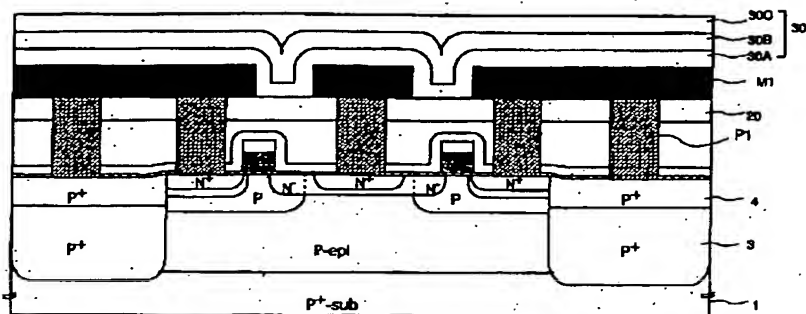
【図45】

図45



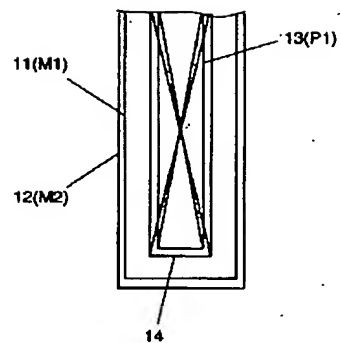
【図24】

図24



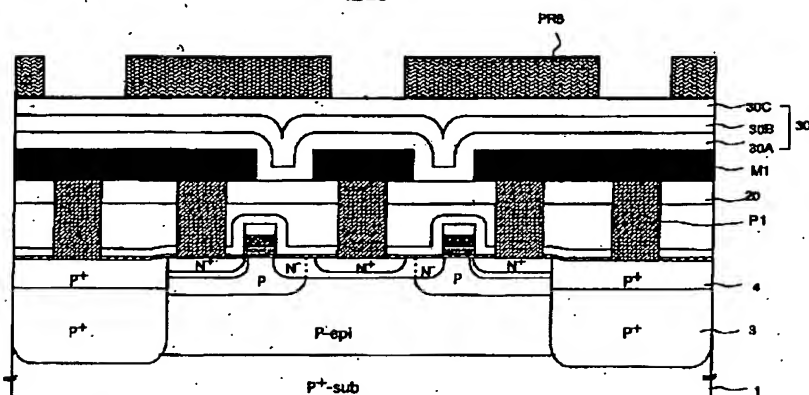
【図46】

図46



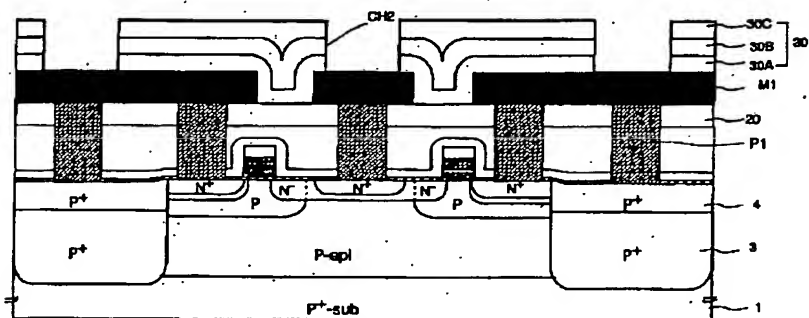
【図25】

図25



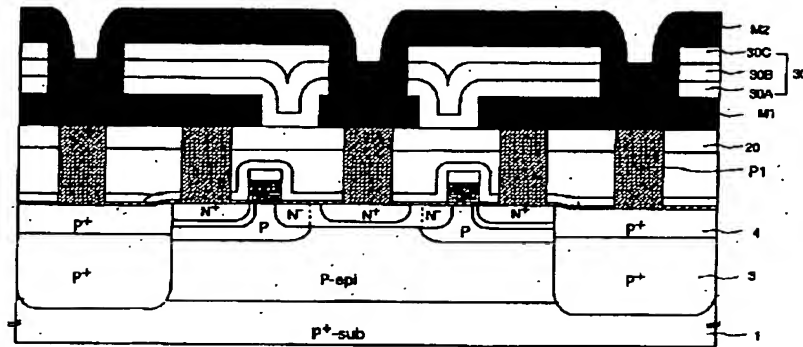
【図26】

図26



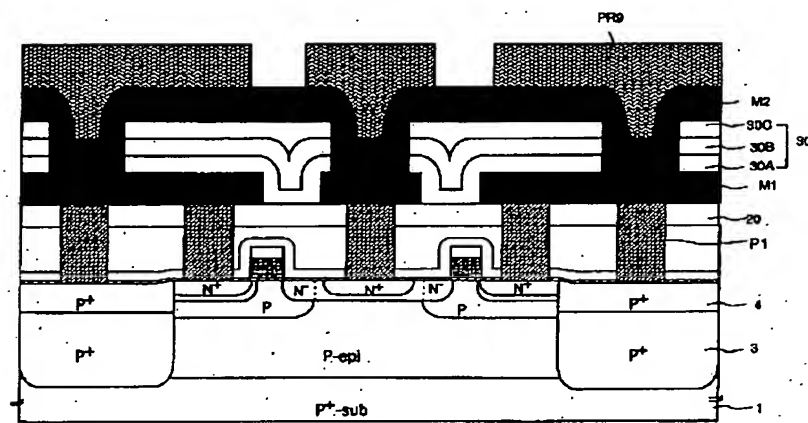
【図27】

図27



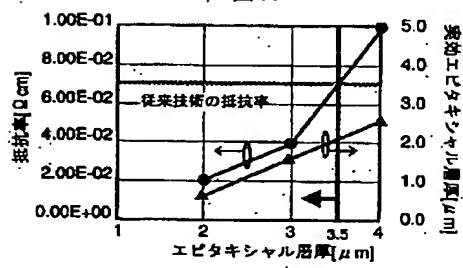
【図28】

図28



【図41】

図41



【図42】

図42

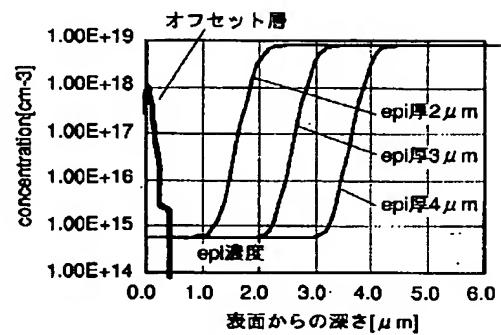
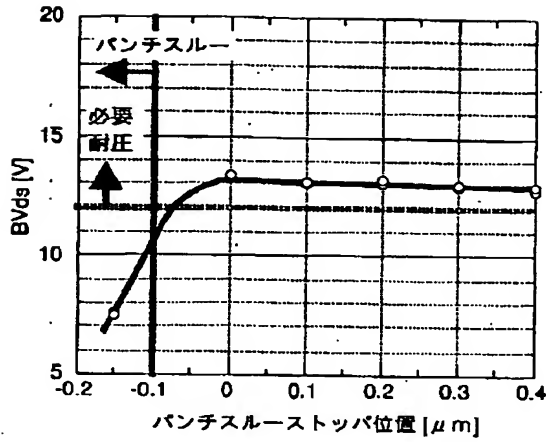


图29



【図39】

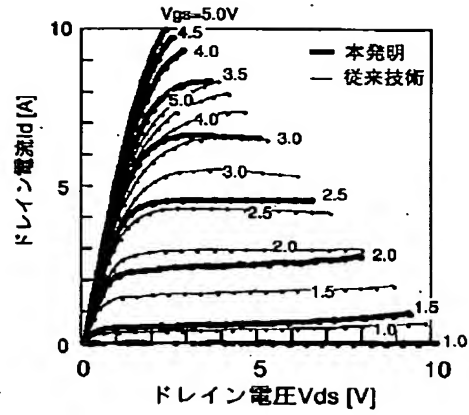
図39



(b) ドレイン耐圧

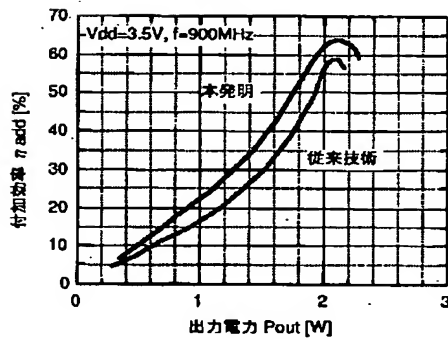
【図44】

図44



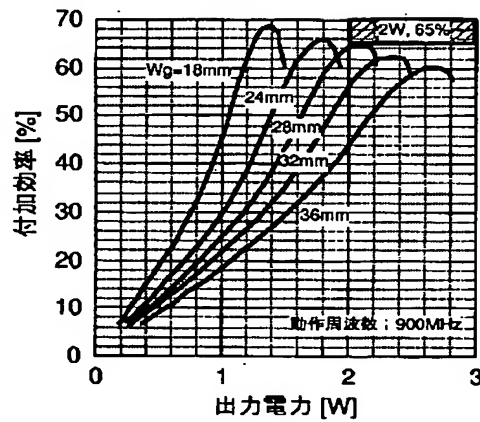
【図47】

図47



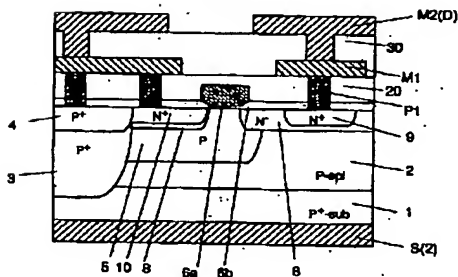
【図48】

図48



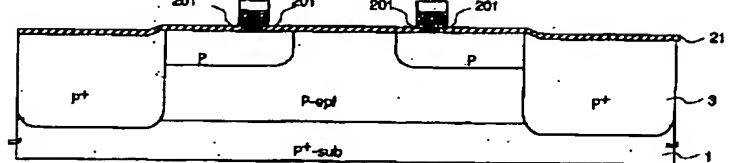
【図51】

図51



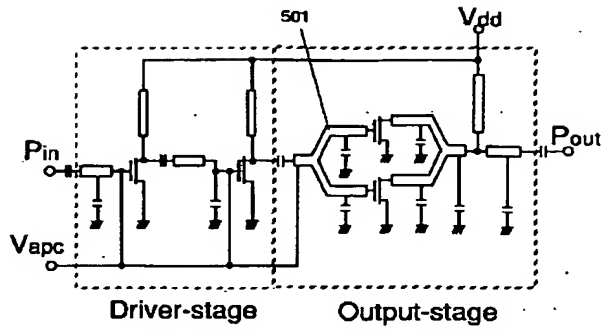
【図54】

図54



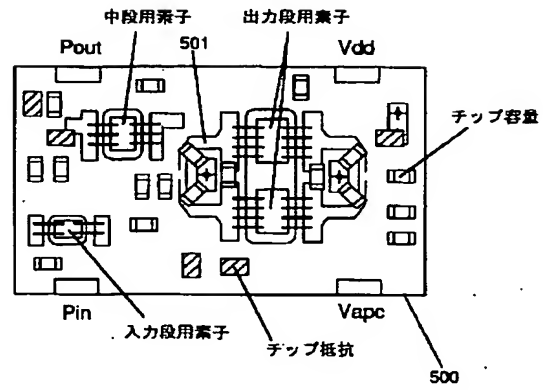
【図49】

図49



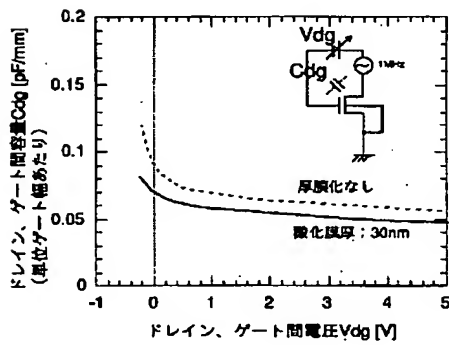
【図50】

図50



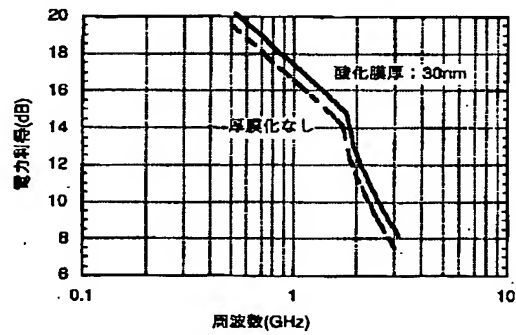
【図52】

図52



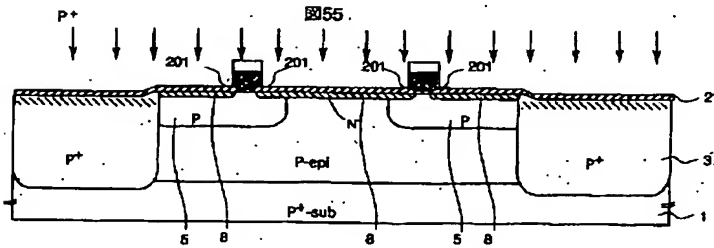
【図53】

図53



【図55】

図55



【図61】

図61

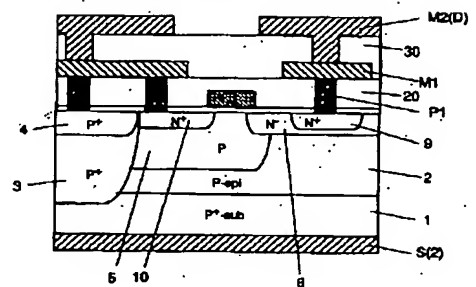


图 56

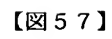
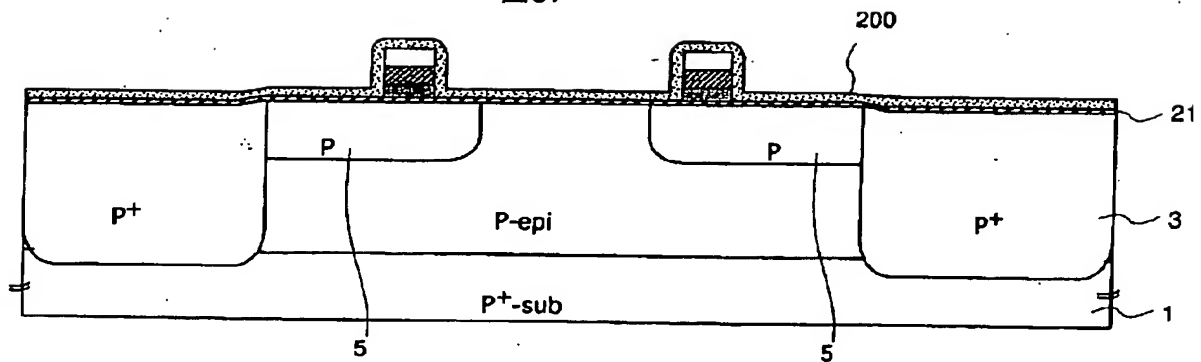
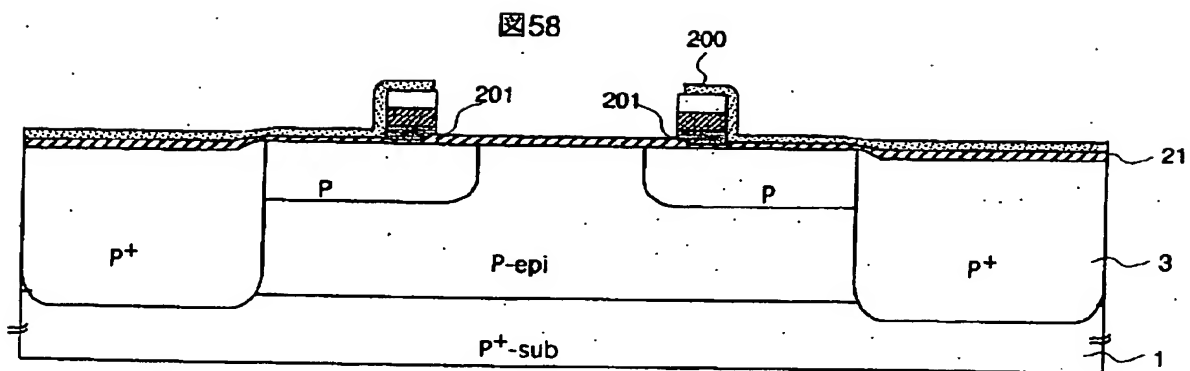


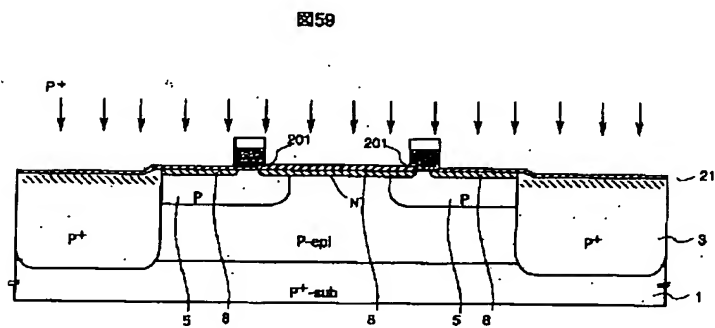
图 57



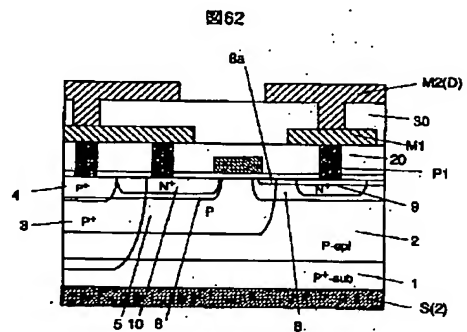
【图 5 8】



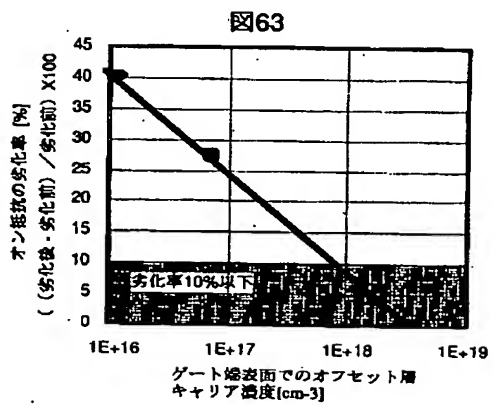
【图 5 9】



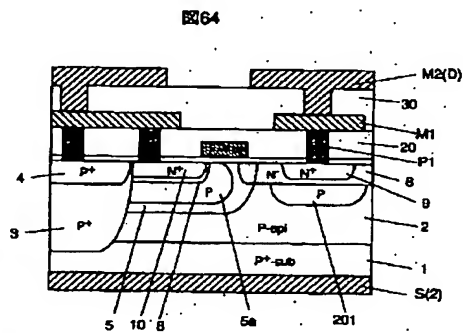
【图 6 2】



【图 6 3】

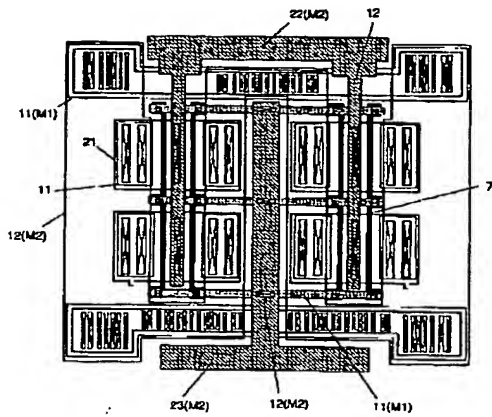


【図 6 4】



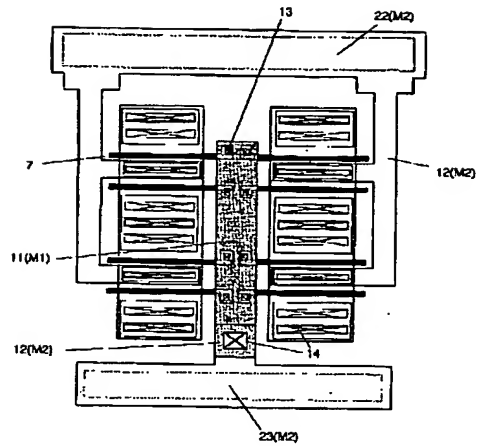
【図67】

図67



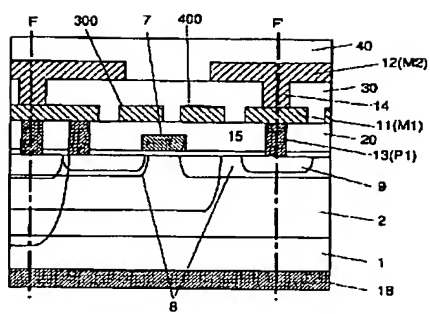
【図68】

図68



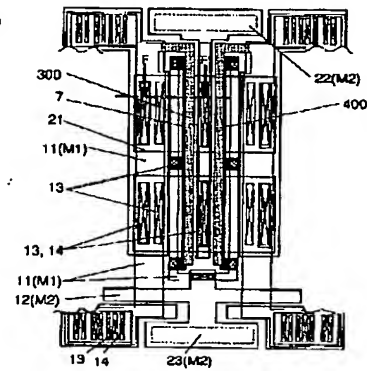
【図69】

図69



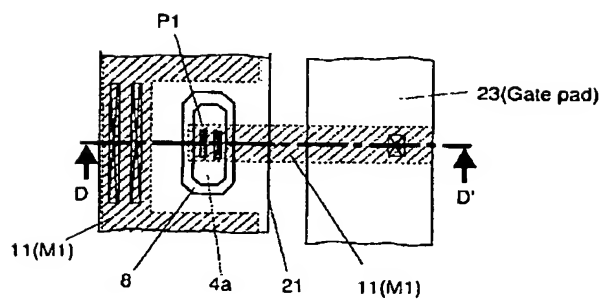
【図70】

図70



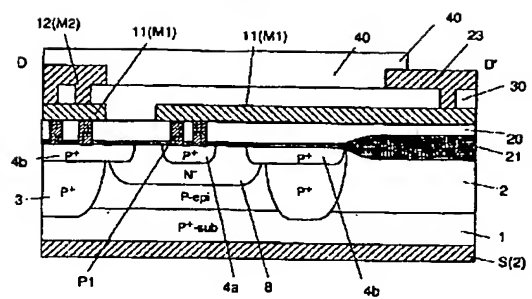
【図71】

図71



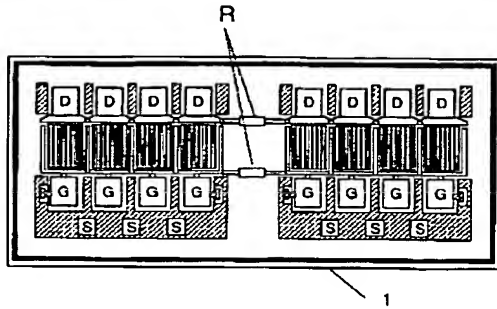
【図72】

図72



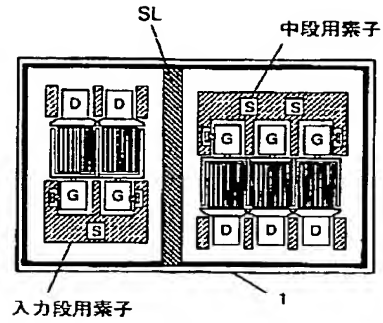
【图 7-3】

图73



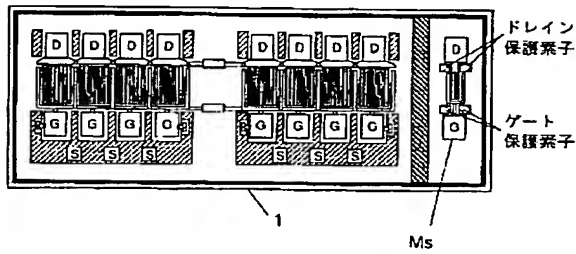
【图 7-4】

图74



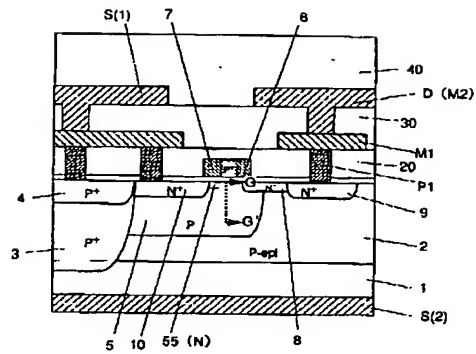
【図 7 5】

图75



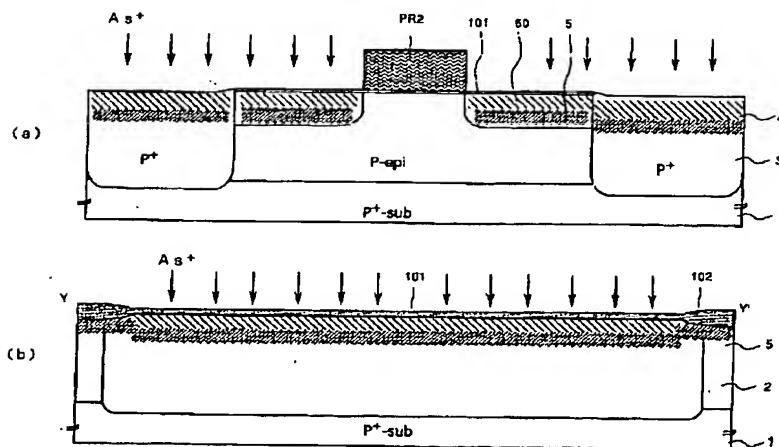
【图 7 6】

图76



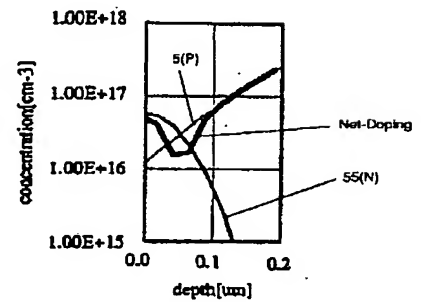
【图 7 8】

图78



【图 8 2】

82



【图 8 3】

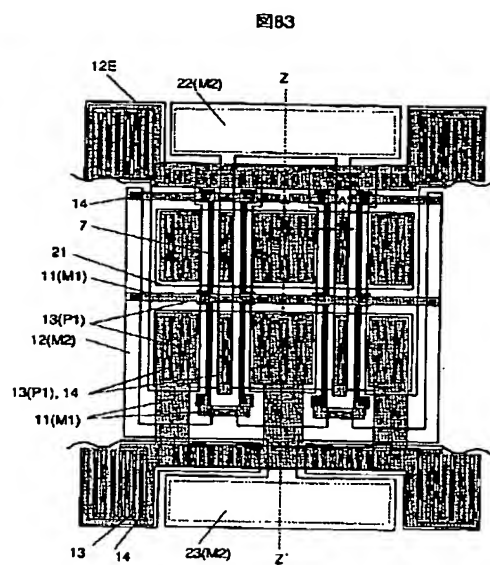


图80

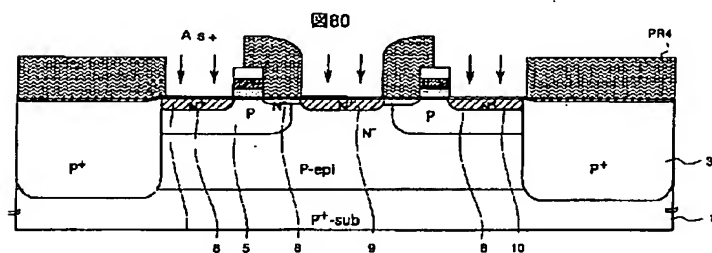
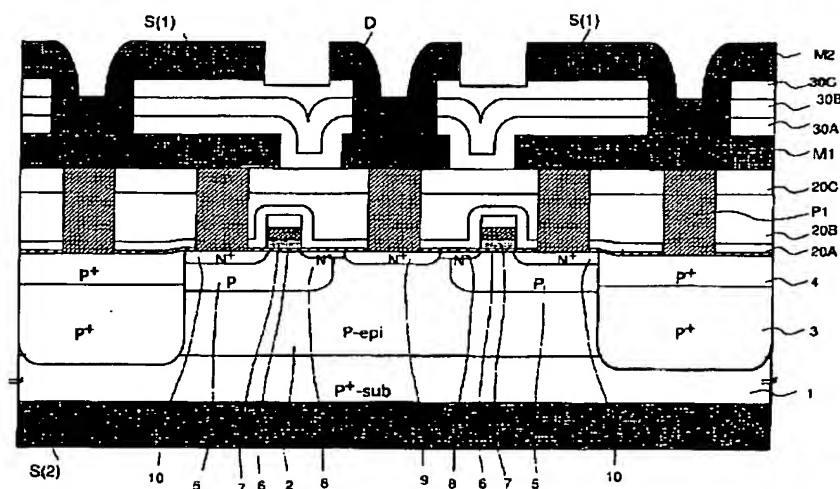


图81



6 5 2 Z
6 5 7 B

(72)発明者 吉田 功
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 蒲原 史朗
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 河上 恵
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 三宅 智之
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 森川 正敏
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

F ターム(参考) 5F040 DA01 DA22 DB06 EB02 EB11
 EC01 EC07 EC13 EC17 ED01
 ED03 ED04 ED09 EF13 EF18
 EH02 EH07 EJ03 FA16 FC10
 5F048 AA05 AA08 AC06 BA02 BB05
 BB08 BB11 BB12 BC03 BC07
 BC12 BD05 BE08 BF01 BF07
 BG01 BG12 CC06

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年9月30日(2004.9.30)

【公開番号】特開2001-94094(P2001-94094A)

【公開日】平成13年4月6日(2001.4.6)

【出願番号】特願平11-266668

【国際特許分類第7版】

H O 1 L 29/78

H O 1 L 21/8234

H O 1 L 27/088

【F I】

H O 1 L 29/78 3 O 1 W

H O 1 L 27/08 1 O 2 F

H O 1 L 29/78 3 O 1 S

H O 1 L 29/78 3 O 1 K

H O 1 L 29/78 6 5 2 L

H O 1 L 29/78 6 5 2 Z

H O 1 L 29/78 6 5 7 B

【手続補正書】

【提出日】平成15年9月12日(2003.9.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

P型シリコン半導体基板と、

上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体層と、

上記半導体層の主面内に互いに離間して設けられた、第1のN型領域および第2のN型領域と、

上記半導体層の主面内の上記第1のN型領域および第2のN型領域の間であって、上記第1のN型領域から離間し、そして上記第2のN型領域に接して位置された、上記第2のN型領域よりも低不純物濃度を有する第3のN型領域と、

上記第1のN型領域と上記第3のN型領域との間に位置し、チャンネルが形成される上記半導体層の主面上であって、端部が上記第1領域および上記第3領域をそれぞれオーバーラップし、かつ上記第1領域および上記第3領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして

上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、

上記第1のN型領域と上記第3のN型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加するP型分布域と、上記P型分布域に重なり、上記半導体層の表面から上記半導体基板に向かって減少するN型分布域とで構成されたことを特徴とする半導体装置。

【請求項2】

P型シリコン半導体基板と、

上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有する P 型シリコン半導体層と、

上記半導体層の主面内に互いに離間して設けられた、第 1 の N 型領域および第 2 の N 型領域と、

上記半導体層の主面内の上記第 1 の N 型領域および第 2 の N 型領域の間であって、上記第 1 の N 型領域から離間し、そして上記第 2 の N 型領域に接して位置された、上記第 2 の N 型領域よりも低不純物濃度を有する第 3 の N 型領域と、

上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置し、チャンネルが形成される上記半導体層の主面上であって、端部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップし、かつ上記第 1 領域および上記第 3 領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして

上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加する P 型分布域と、上記 P 型分布域に重なり、上記半導体層の表面から離れた内部において不純物濃度のピークを有する N 型分布域とで構成されたことを特徴とする半導体装置。

【請求項 3】

第 1 導電型の半導体基板と、

上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第 1 導電型の半導体層と、

上記半導体層の主面内に互いに離間して設けられた、上記第 1 導電型とは反対の第 2 導電型の第 1 領域および第 2 領域と、

上記半導体層の主面内の上記第 1 領域および第 2 領域の間であって、上記第 1 領域から離間し、そして上記第 2 領域に接して位置された、上記第 1 領域よりも低不純物濃度を有する第 3 領域と、

上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上であって、一部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして

上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面には、上記第 3 領域内に終端する第 1 導電型の第 4 領域が選択的に形成され、

上記ゲート電極下に位置する上記第 4 領域内に、上記第 3 領域よりも深い位置に上記第 4 領域の表面不純物濃度よりも高い不純物濃度を有する第 1 導電型のポケット層を有することを特徴とする半導体装置。

【請求項 4】

請求項 3 において、上記第 1 電極と上記第 3 電極は電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 3 において、上記第 1 半導体層には上記第 1 領域および上記半導体基板に接する第 1 導電型の第 5 領域が設けられていることを特徴とする半導体装置。

【請求項 6】

請求項 3 において、上記第 3 電極は、第 1 基準電位に接続され、上記第 2 電極は、第 2 基準電位に接続されることを特徴とする半導体装置。

【請求項 7】

請求項 6 において、上記第 3 電極はソース電極であり、上記第 2 電極は、ドレイン電極であることを特徴とする半導体装置。

【請求項 8】

請求項 6 または 請求項 7 において、上記第 1 基準電位は接地電位であり、上記第 2 基準電位は、電源電位であることを特徴とする半導体装置。

【請求項 9】

請求項 3 において、上記ポケット層は上記半導体層の主面に対して斜め方向のイオン打ち込み方法により形成されていることを特徴とする半導体装置。

【請求項 10】

第 1 導電型の半導体基板と、

上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第 1 導電型の半導体層と、

上記半導体層の主面内に互いに離間して設けられた、上記第 1 導電型とは反対の第 2 導電型の第 1 領域および第 2 領域と、

上記半導体層の主面内の上記第 1 領域および第 2 領域の間であって、上記第 1 領域から離間し、そして上記第 2 領域に接して位置された、上記第 1 領域よりも低不純物濃度を有する第 3 領域と、

上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上であって、一部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、

上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして

上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 3 領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第 1 膜厚が上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第 2 膜厚よりも大きいことを特徴とする半導体装置。

【請求項 11】

請求項 10 において、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面には、上記第 3 領域内に終端する第 1 導電型の第 4 領域が選択的に形成されていることを特徴とする半導体装置。

【請求項 12】

請求項 10 または 請求項 11 において、上記第 1 電極と上記第 3 電極は電氣的に接続されていることを特徴とする半導体装置。

【請求項 13】

請求項 10 において、上記第 1 半導体層には上記第 1 領域および上記半導体基板に接する第 1 導電型の第 5 領域が設けられていることを特徴とする半導体装置。

【請求項 14】

請求項 10 において、上記第 3 電極は、第 1 基準電位に接続され、上記第 2 電極は、第 2 基準電位に接続されることを特徴とする半導体装置。

【請求項 15】

請求項 14 において、上記第 3 電極はソース電極であり、上記第 2 電極は、ドレイン電極であることを特徴とする半導体装置。

【請求項 16】

請求項 14 または 請求項 15 において、上記第 1 基準電位は接地電位であり、上記第 2 基準電位は、電源電位であることを特徴とする半導体装置。

【請求項 17】

請求項 10 において、上記第 1 膜厚のゲート絶縁膜は、上記第 2 膜厚のゲート絶縁膜よりテーパー形状を成すように厚く形成されていることを特徴とする半導体装置。

【請求項 18】

請求項 17 において、上記第 1 膜厚のゲート絶縁膜は、バースピーク構造よりなることを特徴とする半導体装置。

【請求項 19】

- (1)第1導電型の半導体基板と、
(2)上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、
(3)上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、
(4)上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、
(5)上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、
(6)上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして
(7)上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間にバースピークが存在し、上記第3領域表面の不純物濃度は、上記第2領域の不純物濃度にほぼ等しいか、もしくはそれ以上であることを特徴とする半導体装置。

【請求項20】

請求項19において、上記第3領域表面の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上のピーク値を有することを特徴とする半導体装置。

【請求項21】

請求項19または請求項20において、上記第3領域表面の不純物濃度は表面からの深さが $0.005 \mu\text{m}$ 以内に分布していることを特徴とする半導体装置。

【請求項22】

主面に低不純物濃度を有する第1導電型の半導体層が形成された基板と、
上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、
上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、
上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、
ゲート絶縁膜を介して設けられたゲート電極と、そして、
上記ゲート絶縁膜下の上記半導体層内に形成された第1導電型のウエル領域とを有し、
上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも厚く形成され、上記第3領域は浅い高濃度領域と深い低濃度領域とから成ることを特徴とする半導体装置。

【請求項23】

請求項22において、上記ウエル領域が上記第3領域に終端していることを特徴とする半導体装置。

【請求項24】

請求項22において、上記ウエル領域が上記ゲート電極下に終端していることを特徴とする半導体装置。

【請求項25】

請求項22において、上記ゲート電極は、P型不純物を含む多結晶シリコン層と上記多結晶シリコン上に積層された高融点シリサイド層とから成ることを特徴とする半導体装置。

【請求項26】

半導体基板と、
上記半導体基板の主面上に形成された第1導電型を持つ半導体層と、

上記半導体層主面に互いに離間されて位置した、上記第1導電型とは反対の第2導電型を持つ第1および第2領域と、

上記第1領域と第2領域との間に位置した上記半導体層主面内であって、上記第1領域から離間し、上記第2領域に接するように形成された第2導電型の第3領域と、

上記第1領域と上記第3領域との間のチャンネル領域となる上記半導体層の主面に設けられたゲート酸化膜と、

上記ゲート酸化膜上に設けられたゲート導体層と、

上記第1領域に接続された第1導体層と、

上記第2領域に接続された第2導体層と、そして、

上記半導体基板の裏面に接続された第3導体層とから成り、

上記第1領域と上記ゲート絶縁膜との間に位置する第1ゲート酸化膜および上記第3領域と上記ゲート絶縁膜との間に位置する第2ゲート酸化膜のそれぞれの膜厚が上記チャンネル領域となる半導体層の主面に設けられた第3ゲート酸化膜の膜厚よりも大きいことを特徴とする半導体装置。

【請求項27】

請求項26において、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には第1導電型の第4領域が、上記第3領域内で終端していることを特徴とする高周波用半導体装置。

【請求項28】

請求項26または請求項27において、上記第1導体層と上記導体層は電氣的に接続されていることを特徴とする半導体装置。

【請求項29】

請求項26において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられていることを特徴とする半導体装置。

【請求項30】

請求項26において、上記第3導体層は、第1基準電位に接続され、上記第2導体層は、第2基準電位に接続されることを特徴とする半導体装置。

【請求項31】

請求項30において、上記第3導体層はソース裏面電極であり、上記第2導体層は、ドレイン電極であることを特徴とする高周波用半導体装置。

【請求項32】

請求項30または請求項31において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位であることを特徴とする半導体装置。

【請求項33】

請求項26において、上記第1および第2ゲート酸化膜は、バースピーク構造よりなることを特徴とする半導体装置。

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年3月9日(2006.3.9)

【公開番号】特開2001-94094(P2001-94094A)

【公開日】平成13年4月6日(2001.4.6)

【出願番号】特願平11-266668

【国際特許分類】

H O 1 L 29/78 (2006.01)

H O 1 L 27/088 (2006.01)

H O 1 L 21/8234 (2006.01)

H O 1 L 27/04 (2006.01)

【F I】

H O 1 L 29/78 3 0 1 W

H O 1 L 27/08 1 0 2 F

H O 1 L 29/78 3 0 1 S

H O 1 L 29/78 3 0 1 K

H O 1 L 29/78 6 5 2 L

H O 1 L 29/78 6 5 2 Z

H O 1 L 29/78 6 5 7 B

【手続補正書】

【提出日】平成18年1月23日(2006.1.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成された複数のM I S F E TからなるパワーM I S F E Tを含む半導体装置であって、

前記M I S F E Tは、

前記半導体基板上に形成されたドレイン領域およびソース領域と、

前記ソース領域とドレイン領域の間に形成されたチャンネル領域と、

前記チャンネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極とドレイン領域の間に形成され、前記ドレイン領域よりも不純物濃度が低いドレインオフセット領域と、

前記チャンネル領域とソース領域の下に形成されたウェル領域と、

前記複数のM I S F E T上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成されたソース配線およびドレイン配線を有し、

前記第1絶縁膜内にソース用開口部およびドレイン用開口部が形成され、

前記ソース用開口部およびドレイン用開口部にそれぞれソース用導電プラグおよびドレ

イン用導電プラグが形成され、

前記ソース配線およびソース領域は前記ソース用導電プラグによって電氣的に接続され

、前記ドレイン配線およびドレイン領域は前記ドレイン用導電プラグによって電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置であって、前記パワーMISFETは移動通信機器に搭載されるRFパワーモジュールに使用され、

前記パワーMISFETは、前記RFパワーモジュール内に形成された複数段増幅器を構成することを特徴とする半導体装置。

【請求項3】

請求項2記載の半導体装置であって、前記RFパワーモジュールの動作周波数は500MHz以上であることを特徴とする半導体装置。

【請求項4】

請求項2記載の半導体装置であって、前記パワーMISFETは複数の単位ブロックを配置して構成され、

それぞれの単位ブロックは前記複数のMISFETの中のいくつかのMISFETで構成されていることを特徴とする半導体装置。

【請求項5】

請求項4記載の半導体装置であって、前記複数の単位ブロック中の前記ゲート電極、ソース領域、ドレイン領域はそれぞれ電氣的に接続されていることを特徴とする半導体装置

。

【請求項6】

請求項4記載の半導体装置であって、前記複数の単位ブロックは整列配置列されていることを特徴とする半導体装置。

【請求項7】

請求項4記載の半導体装置であって、前記複数の単位ブロックはそれぞれゲート用ボンディングパッドおよびドレイン用ボンディングパッドを有し、

前記ゲート用ボンディングパッドおよびドレイン用ボンディングパッドは、それぞれ前記ゲート電極およびドレイン電極と電氣的に接続されていることを特徴とする半導体装置

。

【請求項8】

請求項1記載の半導体装置であって、前記第1絶縁膜の主面はCMP法によって平坦化されていることを特徴とする半導体装置。

【請求項9】

請求項1記載の半導体装置であって、前記複数のMISFETの中の隣接する2つのMISFETはドレイン領域を共有していることを特徴とする半導体装置。

【請求項10】

請求項1記載の半導体装置であって、前記ソース用導電プラグおよびドレイン用導電プラグは金属からなることを特徴とする半導体装置。

【請求項11】

請求項1記載の半導体装置であって、前記ソース配線およびドレイン配線の上に第2絶縁膜が形成され、

前記第2絶縁膜上に上部ソース配線および上部ドレイン配線が形成され、

前記上部ソース配線および上部ドレイン配線は、それぞれ前記ソース配線およびドレイン配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項12】

請求項1記載の半導体装置であって、前記ソース領域、ドレイン領域、ドレインオフセット領域は第1導電型を有し、

前記ウェル領域は第2導電型を有し、

イン用導電プラグが形成され、

前記ソース配線およびソース領域は前記ソース用導電プラグによって電氣的に接続され

、前記ドレイン配線およびドレイン領域は前記ドレイン用導電プラグによって電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、前記パワー M I S F E T は移動通信機器に搭載される R F パワーモジュールに使用され、

前記パワー M I S F E T は、前記 R F パワーモジュール内に形成された複数段増幅器を構成することを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置であって、前記 R F パワーモジュールの動作周波数は 5 0 0 M H z 以上であることを特徴とする半導体装置。

【請求項 4】

請求項 2 記載の半導体装置であって、前記パワー M I S F E T は複数の単位ブロックを配置して構成され、

それぞれの単位ブロックは前記複数の M I S F E T 中のいくつかの M I S F E T で構成されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置であって、前記複数の単位ブロック中の前記ゲート電極、ソース領域、ドレイン領域はそれぞれ電氣的に接続されていることを特徴とする半導体装置

。

【請求項 6】

請求項 4 記載の半導体装置であって、前記複数の単位ブロックは整列配置列されていることを特徴とする半導体装置。

【請求項 7】

請求項 4 記載の半導体装置であって、前記複数の単位ブロックはそれぞれゲート用ボンディングパッドおよびドレイン用ボンディングパッドを有し、

前記ゲート用ボンディングパッドおよびドレイン用ボンディングパッドは、それぞれ前記ゲート電極およびドレイン電極と電氣的に接続されていることを特徴とする半導体装置

。

【請求項 8】

請求項 1 記載の半導体装置であって、前記第 1 絶縁膜の主面は C M P 法によって平坦化されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置であって、前記複数の M I S F E T 中の隣接する 2 つの M I S F E T はドレイン領域を共有していることを特徴とする半導体装置。

【請求項 10】

請求項 1 記載の半導体装置であって、前記ソース用導電プラグおよびドレイン用導電プラグは金属からなることを特徴とする半導体装置。

【請求項 11】

請求項 1 記載の半導体装置であって、前記ソース配線およびドレイン配線の上に第 2 絶縁膜が形成され、

前記第 2 絶縁膜上に上部ソース配線および上部ドレイン配線が形成され、

前記上部ソース配線および上部ドレイン配線は、それぞれ前記ソース配線およびドレイン配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項 12】

請求項 1 記載の半導体装置であって、前記ソース領域、ドレイン領域、ドレインオフセット領域は第 1 導電型を有し、

前記ウェル領域は第 2 導電型を有し、

前記第 1 導電型および第 2 導電型は反対の導電型であることを特徴とする半導体装置。

【請求項 13】

請求項 12 記載の半導体装置であって、前記第 1 および第 2 導電型はそれぞれ n 型および p 型であることを特徴とする半導体装置。

【請求項 14】

請求項 12 記載の半導体装置であって、前記半導体基板上に前記第 2 導電型を有する半導体層が形成され、

前記ソース領域、ドレイン領域、ドレインオフセット領域は前記半導体層内に形成され

、前記ウェル領域の不純物濃度は前記半導体層の不純物濃度より高いことを特徴とする半導体装置。

【請求項 15】

請求項 14 記載の半導体装置であって、前記半導体層はエピタキシャル成長法によって形成されることを特徴とする半導体装置。

【請求項 16】

請求項 1 記載の半導体装置であって、前記半導体基板の裏面に裏面ソース電極が形成され、

前記ソース領域と裏面ソース電極はリーチスルー層を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 17】

請求項 1 記載の半導体装置であって、前記ソース領域とウェル領域は電氣的に接続されていることを特徴とする半導体装置。

【請求項 18】

請求項 17 記載の半導体装置であって、前記ソース領域とウェル領域はリーチスルー層を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 19】

請求項 1 記載の半導体装置であって、前記複数の MISFET は LDMOSFET であることを特徴とする半導体装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED TEXT OR DRAWING~~
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ ~~LINES OR MARKS ON ORIGINAL DOCUMENT~~
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.